

99-101838

68177

Заявка № 99101838

Заявители: 1. Хитачи, Лтд., Япония
2. Хитачи Дивайс Энжиниринг
Ко., Лтд., Япония

5

ПОЛУПРОВОДНИКОВОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

ПРЕДПОСЫЛКИ СОЗДАНИЯ ИЗОБРЕТЕНИЯ

Область техники, к которой относится изобретение

Настоящее изобретение относится к полупроводниковому запоминающему элементу, полупроводниковому запоминающему устройству и к способу управления ими.

Уровень техники:

В настоящее время известны энергонезависимые запоминающие устройства, такие, как электрически стираемые программируемые постоянные запоминающие устройства (ЭСППЗУ) флэш-типа, в которых используются МОП-транзисторные устройства с плавающими и управляющими затворами. В таких устройствах хранение и считывание информации осуществляется за счет того, что при накоплении носителей заряда на плавающем затворе происходит изменение порогового напряжения МОП-транзистора. Обычно в плавающем

15

затворе используют поликристаллический кремний. Использование МОП-транзисторов с плавающим затвором позволяет с помощью только одного транзистора хранить один бит информации в течение длительных промежутков времени. В качестве примеров ЭСППЗУ флэш-типа можно назвать обычную ячейку памяти и бесконтактную ячейку памяти, которые описаны в Nikkei Electronics, № 444, стр. 151-157 (1988).

Технология изготовления подобных устройств описана в работе K. Yano и др., 1993 IEEE International Electron Devices Meeting, Digest of technical papers, стр. 541-545, и в работе K. Yano и др., 1996 IEEE International Solid-State Circuits Conference, Digest of technical papers, стр. 266-267 и 458, в которых речь идет об одноэлектронных запоминающих устройствах, в которых используется поликристаллический кремний. По этой технологии в тонком слое поликристаллического кремния одновременно формируются канал, который является проводником тока, и область хранения, в которой происходит захват электронов. Хранение информации осуществляется за счет изменения пороговых напряжений при захвате электронов в области захвата заряда. Особенностью такого способа является то, что хранение одного бита информации происходит при захвате одного электрона. Такая технология позволяет изготовить устройства, меньшие по своим размерам, чем устройства, изготовленные при использовании кристаллитов поликристаллического кремния, и при этом изготовленные таким способом устройства могут работать при комнатной температуре.

С целью проверить изменение порогового напряжения в ЭСППЗУ флэш-типа при инжекции и стоке носителя заряда с плавающего затвора (операция записи и операция стирания) осуществляется контроль его состояния после подачи напряжения высокого уровня (или низкого уровня), а затем выполняется проверка, во время которой происходит повторная подача напряжения и регулирование величины пороговых напряжений в тех ячейках памяти, в которых заданное пороговое напряжение не было достигнуто.

Технология такой проверки запоминающего устройства описана в работах T. Tanaka и др., IEEE J. Solid-State Circuits, т. 29, № 11, стр. 1366-1372 (1994),

и K. Kimura и др., IEICE Transactions of Electronics, т. E78-C, № 7, стр. 832-837 (1995).

Технология, которую ранее использовали авторы настоящего изобретения, описана в выложенных патентах Японии №№ Hei 7-111295, Hei 8-288469, Hei 5 9-213822 и Hei 9-213898.

КРАТКОЕ ИЗЛОЖЕНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Широкое использование в последние годы методов литографии позволило добиться большого прогресса в создании небольших по площади ячеек памяти, в частности, таких, как динамические запоминающие устройства с произвольной выборкой (ДЗУПВ), статические запоминающие устройства с произвольной выборкой (СЗУПВ) и запоминающие устройства типа флэш-памяти. Имеющие небольшую площадь ячейки памяти обладают существенными преимуществами, заключающимися в возможности уменьшения размеров и увеличения выхода готовых микросхем, а также снижении их стоимости за счет увеличения количества микросхем, изготовленных из одной и той же по размерам 10 полупроводниковой пластины. Еще одним преимуществом небольших по площади ячеек памяти является возможность уменьшения длины соединений и обусловленного этим увеличения их быстродействия.

Технологические размеры и габариты ячейки определяются главным образом методом изготовления. Если базовый технологический размер принять равным F, то ДЗУПВ с согнутой разрядной шиной будет иметь размер, равный 8F2, а флэш-память со схемой типа "И" будет иметь размер, равный 6F2. Ячейки памяти с меньшими размерами можно изготовить путем выполнения флэш-памяти на одном транзисторе, при этом полагают, что создание ячеек памяти с меньшими размерами в сравнении с ячейками, изготовленными в виде 20 МОП-транзисторов, выполненных на поверхности подложки, практически невозможно. Для создания ячеек с меньшими габаритами необходимо, как очевидно, использовать объемные конструкции кубической формы. При уменьшении размеров запоминающих устройств за счет придания им кубической 25 формы и при снижении шага между информационными шинами или словарными (или числовыми) шинами до величины, меньшей минимального размера 2F, возникают серьезные и трудноразрешимые проблемы, связанные с расположени- 30

ем информационных шин и словарных шин, с необходимостью соединения ячеек с периферийными схемами и с необходимостью управления матрицами памяти, состоящими из отдельных ячеек, такими периферийными схемами.

С другой стороны, при инжекции и экстракции электронов в микроскопических по размерам частицах металла или полупроводника можно эффективно использовать возникающую в электростатическом поле отталкивающую силу, и при этом теоретически один электронный элемент, контролирующий процесс переноса электронов в отдельных модулях, может работать в очень небольших по размерам структурах порядка 10 нм, потребляя при этом крайне незначительную электрическую мощность. Одноэлектронная память, представляющая собой одноэлектронное запоминающее устройство, способна хранить информацию при накоплении небольшого количества электронов. Одноэлектронная память может хранить один или несколько битов информации в одном элементе, и, поскольку управление хранящимся в памяти электрическим зарядом может быть выполнено в отдельных модулях, такие запоминающие устройства могут работать при толщине порядка одного нанометра. Кроме того, при небольшом количестве сохраненных или накопленных в памяти электронов такие устройства должны обладать существенным преимуществом за счет уменьшения времени перезаписи и увеличения количества возможных перезаписей. Однако реально при изготовлении таких элементов их технологические размеры зависят от ограничений, которые накладываются на ток самим процессом литографии. Кроме того, из-за достаточно большого размера удаляемых участков области стока и истока не удается на базе существующих элементов создать элемент, который благодаря небольшим размерам можно было бы успешно использовать в различных интегральных микросхемах.

Было изготовлено и исследовано работающее при комнатной температуре одноэлектронное запоминающее устройство. Установлено, что для накопления электрического заряда при подаче на одно и то же устройство одного и того же напряжения записи в течение одного и того же времени требуется затратить разное время. Иными словами, было обнаружено, что при подаче одного и того же напряжения записи в течение одного и того же времени в таком устройстве

накапливается разное количество электронов. Такое явление можно объяснить случайным вероятностным характером протекающих в устройстве процессов, в частности процесса, связанного с туннельным эффектом, или процесса теплового возбуждения, обусловленных небольшим количеством электронов, участвующих в работе одноэлектронного запоминающего устройства.

Прогресс, достигнутый в создании интегрированных полупроводниковых запоминающих устройств и позволивший повысить плотность расположения в них отдельных ячеек памяти и увеличить емкость устройства, связан с увеличением стоимости оборудования, которое используется для изготовления устройств с высокой степенью интеграции. Плотность устройства памяти можно существенно повысить при многозначной логике сохранения в одной ячейке двух или более битов, не прибегая при этом к еще большей интеграции образующих устройство ячеек памяти. При многозначном хранении данных особую важность приобретает проблема, связанная с возможностью четко различать состояния ячеек памяти, выполняющих операции записи, считывания и стирания накопленной информации.

Использование одноэлектронных запоминающих устройств требует того, чтобы величина заряда была небольшой и чтобы периферийные схемы не создавали большого шума. В полупроводниковых запоминающих устройствах в качестве усилителей считывания часто используют дифференциальные усилители. При этом усилитель считывания обычно располагают относительно информационной шины таким образом, чтобы согласующие информационные шины были выполнены либо открытыми и располагались с обеих сторон усилителя считывания, либо согнутыми в одном и том же направлении.

Открытое выполнение согласующих шин обладает определенным преимуществом, поскольку при этом ячейки памяти можно разместить во всех точках пересечения информационных шин и словарных шин, обеспечив тем самым высокую степень интеграции устройства. Однако такая схема обладает и определенным недостатком, связанным с большим уровнем шума, возникающего в словарных шинах. Преимуществом устройств, в которых согласующие шины выполнены согнутыми, является низкий уровень шума, возникающего в словарных шинах, но такие устройства обладают и недостатками, которые

связаны с невозможностью расположения ячеек памяти во всех точках пересечения информационных шин и словарных шин и с невозможностью обеспечить в таких устройствах высокую степень интеграции.

К периферийным схемам, под размещение которых требуется большая площадь, помимо усилителя считывания, относятся регистр, который временно сохраняет записанную информацию во время записи, регистр, который удерживает флагок, показывающий окончание записи при ее проверке, и схема, которая после операции записи сравнивает значение, считанное с ячейки памяти, со значением, зафиксированным флагком в конце записи, и переписывает значение, которое показывает флагок.

С учетом всего вышесказанного для расширения пределов, накладывающих определенные ограничения на существующие в настоящее время запоминающие устройства, в настоящем изобретении ставятся следующие задачи: создание одноэлектронной ячейки памяти, наиболее пригодной для разработки запоминающих устройств с высокой степенью интеграции на небольшой по размерам площасти, создание полупроводникового запоминающего устройства и разработка способа управления им, обеспечивающего защиту устройства от возможных сбоев в работе, связанных с явлениями случайного вероятностного характера, создание полупроводникового запоминающего устройства и разработка способа управления им, идеально решающего проблему удержания нескольких хранящихся в его памяти значений, создание занимающей небольшую площасть периферийной схемы, не оказывающей отрицательного влияния на характеристики занимающего небольшую площасть устройства памяти и одноэлектронного запоминающего устройства с высокой степенью интеграции, а также создание обладающей низким уровнем шума периферийной схемы и разработка способа управления ею, наиболее пригодных для одноэлектронных запоминающих устройств, работающих с небольшими электрическими зарядами и чувствительных к влиянию шума.

Настоящее изобретение отличается тем, что имеющую небольшую площасть поверхности ячейку памяти можно изготовить формированием расположенных одна над другой области истока и области стока и выполнением каналов, направленных наверх и вниз.

В частности, в настоящем изобретении в его основном варианте предлагается полупроводниковый запоминающий элемент, который содержит области истока и стока, причем область стока выполнена выше или ниже области истока и отделена от нее изолирующей пленкой, область истока соединена с областью стока через канальную область, а канальная область связана с электродом затвора через изолирующую пленку затвора, и который также содержит область захвата электрического заряда, которая расположена рядом с канальной областью. Хранение информации осуществляется изменением порогового напряжения полупроводникового устройства при удержании носителей заряда в области хранения электрического заряда.

Кроме того, ячейка памяти в этом варианте изобретения, которая имеет небольшую площадь и состоит из большого количества электродов затворов, расположенных один над другим, каналов, которые выполнены на боковой поверхности электродов затворов и расположены на ней с определенным шагом, отличается наличием областей истока и областей стока и тем, что имеющиеся в ней в большом количестве затворы расположены один над другим и разделены изолирующими пленками, а также тем, что канальные области выполнены на боковых поверхностях электродов затворов и отделены от них изолирующими пленками, области истока соединены с областями стока через канальные области, области захвата электрического заряда расположены около канальных областей, а также тем, что хранение информации в ней осуществляется изменением порогового напряжения полупроводникового запоминающего элемента при удержании носителей заряда в области захвата электрического заряда. Область захвата электрического заряда состоит из мельчайших частиц металлического или полупроводникового материала с характерным наименьшим размером по диаметру, который не превышает 10 нм.

Другая отличительная особенность настоящего изобретения состоит в том, что полупроводниковое запоминающее устройство выполняет операцию контроля, обеспечивающую высокую точность хранения данных в устройстве памяти, состоящем из запоминающих элементов, в которых неизбежно происходят различные вероятностные процессы, неблагоприятно влияющие на их работу.

В частности, в настоящем изобретении предлагается способ управления выполненным по основному варианту изобретения полупроводниковым запоминающим элементом, который содержит область истока, область стока, причем область истока соединена с областью стока через канальную область, а 5 канальная область соединена с электродом затвора изолирующей пленкой, и область захвата электрического заряда, которая расположена рядом с местом протекания электрического тока в канальной области, и в котором хранение информации происходит за счет изменения порогового напряжения при удержании носителей заряда в области захвата электрического заряда, а также 10 предлагается способ управления предлагаемым в изобретении полупроводниковым запоминающим устройством, которое состоит из большого количества расположенных последовательно полупроводниковых элементов памяти, причем этот способ отличается осуществлением трех операций, включая первую 15 операцию, которая заключается в подаче напряжения записи к полупроводниковому элементу памяти, вторую операцию, которая заключается в считывании информации, сохраненной в элементе после первой операции, и третью операцию, которая заключается в повторной подаче напряжения записи к 20 полупроводниковому элементу при плохом качестве записанной в него информации.

Кроме того, было проведено специальное исследование многозначных запоминающих устройств и было обнаружено, что с точки зрения идентификации состояния элемента более выгодным является не элемент с непрерывным изменением свойств в зависимости от числа накопленных электронов, что 25 характерно для элементов флэш-памяти, а элемент, у которого свойства меняются ступенчато. Только на основании такого исследования была выдвинута идея использования характеристик одноэлектронного элемента. Иными словами, настоящее изобретение отличается тем, что оно основано на использовании многозначного элемента памяти или запоминающего устройства с многозначным элементом памяти, которые позволяют более точно идентифицировать состояния 30 элемента, используя особенности характеристик одноэлектронной памяти.

Полупроводниковое устройство, выполненное по основному варианту изобретения, содержит область истока, область стока, причем область истока

соединена с областью стока через канальную область, а канальная область соединена с электродом затвора через изолирующую пленку, и область захвата электрического заряда, которая расположена около области канала, 5 полупроводниковый элемент, который выполняет хранение информации за счет изменения порогового напряжения при удержании носителей заряда в области захвата электрического заряда, и структуру, которая состоит из большого количества размещенных последовательно полупроводниковых элементов памяти. Такое устройство отличается тем, что структура из большого количества 10 полупроводниковых элементов памяти управляет с помощью информационных шин и словарных шин, а также тем, что в одном полупроводниковом элементе памяти можно хранить два или больше битов, используя для этого различные значения напряжения записи, которое приложено к словарной шине.

Кроме того, для создания периферийных элементов интегральной схемы с 15 небольшой площадью поверхности и обладающих повышенной устойчивостью к воздействию шума, локальные информационные шины для каждой из расположенных одна на другой ячеек памяти связаны с общей информационной шиной через отдельные МОП-транзисторы выборки, что исключает необходимость в использовании большой по площади поверхности, поскольку при этом за счет выполнения операций считывания и записи последовательно 20 мультиплексным методом осуществляется совместное использование таких периферийных элементов интегральной схемы, как общие информационные шины и усилители считывания. Кроме того, в предлагаемом устройстве предусмотрено ранжирование информационной шины и энергонезависимое считывание из ячейки памяти (ячейка с плавающим электродом), что 25 обеспечивает возможность размещения ячеек памяти во всех местах пересечения словарных шин и информационных шин при согнутой структуре информационной шины. В частности, с целью устранить влияние шума в настоящем изобретении предлагается во время считывания по одной из двух общих информационных шин, соединенных с усилителем считывания, другую 30 локальную шину отключать, используя для этого МОП-транзистор выборки. Такая схема позволяет выполнять операцию считывания с низким уровнем

шума, сохраняя при этом высокий уровень интеграции ячеек памяти, которые собраны друг с другом в многослойную пакетную структуру.

Кроме того, устойчивость к шуму может быть еще больше повышена за счет использования в предлагаемом устройстве вспомогательной ячейки, которая определяет опорное пороговое напряжение при любых операциях считывания, проверки записи или стирания.

Для дальнейшей миниатюризации периферийных элементов интегральной схемы в предлагаемом устройстве регистр, который временно сохраняет данные записи в ячейке памяти во время операции записи, и регистр, который удерживает флагок, показывающий конец записи во время операции проверки, могут быть объединены друг с другом. Ниже приведено подробное описание работы предлагаемого устройства с учетом следующих особенностей. При этом "1" обозначает пороговое напряжение высокого уровня в запоминающем элементе, а "0" обозначает пороговое напряжение низкого уровня. Кроме того, предполагается, что высокий уровень соответствует логической "1", а низкий уровень соответствует логическому "0". Далее, при операции записи снижаются (стираются) сразу все пороговые напряжения, затем на словарную шину подается высокое напряжение и после этого увеличивается пороговое напряжение ячейки памяти. В это время в ячейках памяти, где должен быть записан "0", напряжение на информационных шинах и шинах стоков повышается до тех пор, пока разность между ним и напряжением словарной шины не снизится, что ограничит подъем порогового напряжения ячейки. При необходимости полярность напряжения, как очевидно, может быть изменена на противоположную.

Во время записи данные для записи в ячейке памяти временно хранятся в инвертированном виде, т.е. соответственно как "1" и "0" в регистре и на входе. При этом не изменившееся состояние входа интерпретируется как флагок, свидетельствующий об окончании записи. Иначе говоря, при записи "1" значение в регистре равно "0". Инверсное значение регистра означает, что запись "1" еще не закончилась. И наоборот, при записи "0" в регистре сохраняется "1". Такое значение регистра означает, что запись "1" закончена, или то, что запись не требуется повторять сначала. Соответственно, "1" в

регистр записывается только тогда, когда после операции записи в ячейке памяти будет храниться "1".

Такая схема исключает необходимость перезаписи значения флагка, который свидетельствует об окончании записи, после получения и сравнения 5 значения информации, которая временно хранится в регистре, и значения флагка, свидетельствующего об окончании записи. В предлагаемой ячейке памяти в качестве "элемента пропускания только 1" используется одна п-МОП-транзисторная структура. При этом общая информационная шина соединяется с затвором п-МОП-транзисторной структуры, сток соединяется с шиной высокого 10 уровня источника питания, а исток соединяется с входом регистра. При таком соединении п-МОП-транзисторная структура включается тогда, когда значение сигнала на общей информационнойшине равно "1" и подается на вход регистра. Если значение на общей информационнойшине равно "0", то п-МОП-транзисторная структура находится в выключенном состоянии, и никаких 15 изменений значений данных в регистре не происходит. Таким образом, использование такого "элемента пропускания только 1" позволяет перезаписать значение флагка, свидетельствующего об окончании записи, с помощью только одной п-МОП-транзисторной структуры (или двух МОП-транзисторных структур, если в целях управления между шиной высокого уровня источника 20 питания и п-МОП-транзисторной структурой дополнительно включена р-МОП-транзисторная структура).

Предлагаемое в настоящем изобретении запоминающее устройство содержит блок запоминающих элементов памяти, состоящий из большого количества ячеек памяти, которые расположены в местах пересечения словарных 25 шин и информационных шин, и периферийную схему для передачи сигналов к информационным шинам и словарным шинам. Ячейка памяти имеет подложку, а также первую область 76, изолирующую пленку 82, вторую область 77, канальную область 78, которая соединена с первой областью и второй областью, 30 электрод 79 затвора, через который электрическое поле создается в канальной области, и область захвата электрического заряда, которые выполнены в виде отдельных слоев на общей подложке. Сохранение информации осуществляется изменением порогового напряжение полупроводникового элемента за счет

изменения количества носителей заряда в области захвата электрического заряда. По крайней мере часть периферийных элементов интегральной схемы представляет собой элементы КМОП, состоящие из п-канальных МОП-транзисторов и р-МОП-транзисторов (см. фиг. 1(а) и 1(б)).

Кроме того, предлагаемое в изобретении запоминающее устройство имеет многослойную структуру, включающую первую локальную информационную шину 13, первый промежуточный слой 13, расположенный над первой локальной информационной шиной 13, шину 14 истока, расположенную над первым промежуточным слоем, второй промежуточный слой, расположенный над шиной истока, и вторую локальную информационную шину 15, которая расположена на втором промежуточном слое, и это устройство содержит, кроме того, первую канальную область 16, расположенную на одной из сторон многослойной структуры и соединяющую первую локальную информационную шину с шиной истока, вторую канальную область 88, которая расположена на одной из сторон многослойной структуры и соединена с шиной истока и со второй локальной информационной шиной, при этом области 16, 88 захвата электрического заряда окружены потенциальными барьерами, которые расположены либо внутри, либо вблизи, либо на периферии канальной области, словарную шину 17, которая соединена с канальной областью и изолирующей пленкой затвора, и два полупроводниковых элемента, один из которых расположен над, а другой под точкой пересечения локальных информационных шин и словарных шин, причем эти полупроводниковые элементы выполняют хранение информации в памяти за счет изменения порогового напряжения при изменении количества носителей заряда в областях захвата электрического заряда и образуют матрицу последовательных элементов памяти, которые расположены вдоль большого количества локальных информационных шин и словарных шин, при этом первые и вторые локальные информационные шины соединены с идентичными общими информационными шинами через транзисторы выборки (см. фиг. 3(а), 3(б) и фиг. 25).

Другие элементы, преимущества и отличительные особенности предлагаемого изобретения более подробно рассмотрены ниже в описании различных вариантов его выполнения.

КРАТКОЕ ОПИСАНИЕ ЧЕРТЕЖЕЙ

Ниже изобретение поясняется со ссылкой на чертежи, га которых показано:

на фиг. 1(а) и 1(б) - полупроводниковый элемент согласно первому
варианту выполнения, при этом на фиг. 1(а) показан вид в изометрии, а на фиг.
5 1(б) показано поперечное сечение,

на фиг. 2(а) и 2(б) - полупроводниковый элемент согласно третьему
варианту выполнения, при этом на фиг. 2(а) показан вид в изометрии, а на фиг.
10 2(б) показано поперечное сечение,

на фиг. 3(а) и 3(б) - полупроводниковый элемент согласно четвертому
варианту выполнения, при этом на фиг. 3(а) показан вид в изометрии, а на фиг.
15 3(б) показано поперечное сечение,

на фиг. 4(а), 4(б) и 4(в) - полупроводниковый элемент согласно пятому
варианту выполнения, при этом на фиг. 4(а) показан вид в изометрии, на фиг.
фиг. 4(б) показано поперечное сечение, включая поперечное сечение каналов, а на
15 фиг. 4(в) показано поперечное сечение, включая поперечное сечение истока,

на фиг. 5(а) и 5(б) - полупроводниковый элемент согласно шестому
варианту выполнения, при этом на фиг. 5(а) показан вид в изометрии в процессе
формирования канала, а на фиг. 5(б) показан вид в изометрии после
формирования затворов,

на фиг. 6 - полупроводниковый элемент согласно седьмому варианту
выполнения,

на фиг. 7(а) и 7(б) - полупроводниковый элемент согласно восьмому
варианту выполнения, при этом на фиг. 7(а) показан вид в изометрии в процессе
формирования канала, а на фиг. 7(б) показан вид в изометрии после
25 формирования затворов,

на фиг. 8(а) - вид в изометрии полупроводникового устройства согласно
девятому варианту выполнения, а на фиг. 8(б) показан вид сверху,

на фиг. 9(а) и 9(б) - полупроводниковый элемент согласно десятому
варианту выполнения, при этом на фиг. 9(а) показан вид в изометрии, а на фиг.
30 9(б) показан вид сверху,

на фиг. 10(а) и 10(б) - виды сверху, на которых показан процесс изготовления полупроводникового устройства согласно одиннадцатому варианту выполнения,

5 на фиг. 11(а) и 11(б) - виды сверху, на которых показан процесс изготовления полупроводникового устройства согласно одиннадцатому варианту выполнения,

на фиг. 12(а) и 12(б) - виды сверху, на которых показано полупроводниковое устройство согласно одиннадцатому варианту выполнения и процесс его изготовления,

10 на фиг. 13(а) и 13(б) - полупроводниковый элемент согласно двенадцатому варианту выполнения,

на фиг. 14 - полупроводниковый элемент согласно тринадцатому варианту выполнения,

15 на фиг. 15(а) и 15(б) - полупроводниковый элемент согласно второму варианту выполнения, при этом на фиг. 15(а) показан вид в изометрии, а на фиг. 15(б) показано поперечное сечение,

на фиг. 16(а) и 16(б) - изображение в изометрии полупроводникового устройства согласно первому варианту выполнения в процессе его изготовления,

20 на фиг. 17 - поперечное сечение, на котором показана контактная часть полупроводникового устройства согласно одиннадцатому варианту выполнения,

на фиг. 18(а) и 18(б) - полупроводниковый запоминающий элемент, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, при этом на фиг. 18(а) показан вид после формирования канала, а на фиг. 18(б) показан вид в изометрии после формирования словарных шин,

25 на фиг. 19 - вид сверху полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения,

на фиг. 20 - чертеж, иллюстрирующий принцип работы полупроводниково-
го запоминающего элемента, который является конструктивным элементом полупроводникового устройства согласно четырнадцатому варианту выполнения,

на фиг. 21 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, в состоянии до формирования запоминающего элемента,

5 на фиг. 22 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, после формирования информационных шин,

10 на фиг. 23 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, после нанесения сетки резиста для формирования каналов,

15 на фиг. 24 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, после формирования словарных шин,

20 на фиг. 25 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, после формирования контактных окон,

) на фиг. 26 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, после формирования первого слоя соединительных проводников,

25 на фиг. 27 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, после формирования второго слоя соединительных проводников,

30 на фиг. 28 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения, после формирования контактных окон, при этом, в частности, показана сеть

контактов словарных шин, расположенных в конце матрицы запоминающих элементов,

на фиг. 29 - поперечное сечение контактной структуры МОП-транзистора выборки плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно четырнадцатому варианту выполнения,

на фиг. 30(а) и 30(б) - изображение полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно пятнадцатому варианту выполнения, при этом на фиг. 30(а) показан вид сверху после формирования каналов, а на фиг. 30(б) показан вид сверху после формирования словарных шин,

на фиг. 31(а) и 31(б) - изображение другого по форме варианта плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно пятнадцатому варианту выполнения, при этом на фиг. 31(а) показан вид сверху полупроводникового запоминающего элемента после формирования каналов, а на фиг. 31(б) показан вид в изометрии после формирования словарных шин,

на фиг. 32 - вид сверху плоского полупроводникового запоминающего элемента, который является конструктивным элементом полупроводникового запоминающего устройства согласно пятнадцатому варианту выполнения, после формирования контактных окон,

на фиг. 33 - изображение в изометрии матрицы ячеек, используемой в устройствах, выполненных согласно вариантам с шестнадцатого по двадцать второй,

на фиг. 34 - чертеж, на котором показана последовательность операций считывания, стирания и записи полупроводникового запоминающего устройства согласно шестнадцатому варианту,

на фиг. 35 - чертеж, на котором показана последовательность операций считывания, стирания и записи полупроводникового запоминающего устройства согласно семнадцатому варианту выполнения,

на фиг. 36 - блок-схема полупроводникового запоминающего устройства согласно семнадцатому варианту выполнения,

на фиг. 37 - чертеж, на котором показана последовательность операций считывания, стирания и записи полупроводникового запоминающего устройства согласно восемнадцатому варианту выполнения,

5 на фиг. 38 - блок-схема полупроводникового запоминающего устройства согласно девятнадцатому варианту выполнения,

10 на фиг. 39 - чертеж, на котором показана последовательность операций при работе полупроводникового запоминающего устройства согласно девятнадцатому варианту выполнения,

15 на фиг. 40 - блок-схема полупроводникового запоминающего устройства согласно двадцатому варианту выполнения,

на фиг. 41 - чертеж, на котором показана последовательность операций при работе полупроводникового запоминающего устройства согласно двадцатому варианту выполнения,

15 на фиг. 42 - блок-схема полупроводникового запоминающего устройства согласно двадцать первому варианту выполнения,

на фиг. 43 - график, который показывает изменения во времени тока в информационной шине элемента памяти согласно двадцать первому варианту выполнения,

20 на фиг. 44 - чертеж, на котором показана последовательность операций обновления при работе полупроводникового запоминающего устройства согласно двадцать второму варианту выполнения,

) на фиг. 45 - рисунок, на котором условно изображен элемент памяти с плавающим затвором,

25 на фиг. 46 - чертеж, на котором показана схема полупроводникового запоминающего устройства согласно по двадцать третьему варианту выполнения, в котором считывание и запись выполняются в матрице ячеек памяти мультиплексным методом,

30 на фиг. 47 - чертеж, на котором показаны напряжения, приложенные к элементам выполненной по двадцать третьему варианту ячейки памяти во время операций считывания, стирания и записи,

на фиг. 48 - временная диаграмма операции считывания в полупроводниковом запоминающем устройстве согласно двадцать третьему варианту выполнения,

5 на фиг. 49 - временная диаграмма операций стирания и записи в полупроводниковом запоминающем устройстве согласно двадцать третьему варианту выполнения,

10 на фиг. 50 - схема расположения элементов памяти во всех точках пересечения словарных шин и информационных шин в устройстве со свернутой структурой информационных шин, выполненном согласно двадцать четвертому варианту,

на фиг. 51 - чертеж, на котором показаны схемы ввода/вывода, а также схемы контроля в устройстве, выполненном согласно двадцать пятому варианту,

на фиг. 52 - блок-схема полупроводникового запоминающего устройства согласно двадцать шестому варианту выполнения и

15 на фиг. 53 - блок-схема полупроводникового запоминающего устройства согласно двадцать седьмому варианту выполнения.

ПРЕДПОЧТИТЕЛЬНЫЕ ВАРИАНТЫ ВЫПОЛНЕНИЯ ИЗОБРЕТЕНИЯ

Первый вариант

Ниже приведено подробное описание конкретных вариантов выполнения 20 полупроводникового запоминающего элемента, полупроводникового запоминающего устройства и способа управления ими со ссылкой на прилагаемые чертежи. Для простоты в описании рассмотрена только часть 25 полупроводникового запоминающего устройства, хотя на практике оно содержит и другие соответствующие соединения и периферийные схемы.

На фиг. 1(а) и 1(б) изображена структура полупроводникового запоминающего элемента, выполненного согласно первому варианту. На фиг. 1(а) этот элемент изображен в изометрии, а на фиг. 1(б) показано его 30 поперечное сечение. Исток 76 и сток 77 представляют собой соответственно области, выполненные из поликристаллического кремния п-типа с высокой концентрацией примесей. Между областями истока 76 и стока 77 выполнена изолирующая пленка 82 из SiO_2 . На боковой поверхности этой изолирующей пленки 82 из поликристаллического кремния р-типа выполнен канал 78

толщиной 20 нм и шириной 150 нм. Область 79 захвата электрического заряда выполнена из поликристаллического кремния и изолирована тонкой изолирующей пленкой 87. Канал 78 и область 79 захвата электрического заряда связаны с электродом 80 затвора через изолирующую пленку 81 из SiO_2 .

5 Расстояние между электродом 80 затвора и областью 79 захвата электрического заряда равно 30 нм.

По сравнению с рассмотренным ниже устройством, выполненным согласно третьему варианту, в котором канал и область захвата электрического заряда выполнены одновременно, в первом варианте изобретения канал 78 и область 79 захвата электрического заряда формируются отдельно, что позволяет создать больше вариантов и создает большие возможности при их изготовлении. Особое преимущество такой схемы состоит в том, что она позволяет произвольно задавать высоту и ширину области потенциального барьера, выбирая соответствующим образом материал и толщину слоя изолирующей пленки 87 между областью 79 захвата электрического заряда и каналом 78. В этом варианте изобретения область потенциального барьера расположена ниже, чем исток и сток, но она может также быть выполнена и с противоположной стороны. Кроме того, в этом варианте изобретения, как и в последующих, в качестве носителей заряда используются электроны, однако в качестве носителей заряда могут также использоваться положительно заряженные дырки.

В полупроводниковом элементе памяти по этому варианту изобретения исток 76 и сток 77 вертикально перекрывают друг друга, что уменьшает необходимую площадь поверхности. Размер площади поверхности в таком элементе уменьшен и за счет вертикального расположения канальной области 78. При таком выполнении элемента емкость памяти может быть увеличена при последовательном расположении элементов памяти. Во всех последующих вариантах предполагается, что запоминающие элементы размещаются именно таким образом.

Работа запоминающих элементов, выполненных согласно этому варианту, 30 происходит следующим образом. Потенциал напряжения на электроде 80 затвора изменяется при операциях стирания и записи. Между истоком 76 и стоком 77 создается некоторое напряжение и, когда напряжение подается на

затвор, электроны проходят через тонкий слой поликристаллического кремния канала 78, и начинается протекание электрического тока. При большом напряжении на затворе разность потенциалов между областью 79 захвата 5 электрического заряда и канальной областью 78 становится большой, и из-за туннельного эффекта или теплового возбуждения электроны пересекают потенциальный барьер изолирующей пленки 87 и попадают в область 79 захвата 10 электрического заряда. В результате пороговое напряжение возрастает, а величина электрического тока при том же самом напряжении на затворе уменьшается. Считывание информации осуществляется измерением величины этого электрического тока. Стирание информации осуществляется приложением 15 к затвору другого по направлению напряжения.

Ниже со ссылками на фиг. 16(а) и 16(б) рассмотрен процесс изготовления устройства, выполненного по этому варианту. После окисления поверхности подложки 86 р-типа и формирования слоя 84 из SiO_2 на нее наносят 20 последовательно слой SiO_2 , слой поликристаллического кремния п-типа и слой SiO_2 . Затем наносится слой защитного фоторезиста и выполняется одновременное травление всех четырех слоев с образованием области 76 истока, 25 области 77 стока и показанных на фиг. 16(а) слоев 82, 83 из SiO_2 . При одновременном (в пакете) формировании всех слоев в многослойной структуре элемента никакого увеличения его размеров в процессе литографической обработки не происходит. Затем, после формирования слоя аморфного Si толщиной 20 нм в процессе термической обработки осуществляется 30 кристаллизация. После защиты фоторезистом из кристаллического кремния выполняют травление, формируя канал 78 (фиг. 16(б)), представляющий собой линейную область, которая соединяет сток 77 и исток 76. Во время травления наличие покрытия слоем 83 из SiO_2 области 77 стока предотвращает чрезмерное удаление материала в области 77 стока. После осаждения тонкого слоя 87 SiO_2 наносят поликристаллический кремний на область 79 захвата электронов и осуществляют травление. Затем после формирования слоя 81 из SiO_2 наносят слой поликристаллического кремния п-типа и после защиты фоторезистом и травления формируют электрод 80 затвора.

Второй вариант

На фиг. 15(а) и 15(б) показана структура запоминающего элемента; выполненного согласно второму варианту. Исток 1 и сток 2 представляют собой области поликристаллического кремния п-типа с высокой концентрацией примесей. Между истоком 1 и стоком 2 выполнена изолирующая пленка 7 из SiO_2 . На стороне изолирующей пленки 7 из SiO_2 выполнен канал 3 шириной 20 нм и толщиной 10 нм из нелегированного поликристаллического кремния. Область 4 захвата электрического заряда состоит из большого количества поликристаллических кремниевых частиц со средним размером 6 нм и изолирована изолирующей пленкой. Канал 3 и область 4 захвата электрического заряда соединены с электродом затвора 4 через изолирующую пленку 6 из SiO_2 . Расстояние между электродом затвора и областью 4 захвата электрического заряда равно 30 нм. Весь элемент расположен на изолирующей пленке 8 из SiO_2 . Место расположения элемента на изолирующей пленке выполнено аналогичным образом и в других рассмотренных ниже вариантах изобретения (если не указано иное). Канал 3 и область 4 захвата электрического заряда в этом варианте выполнены отдельно, однако известен и может быть использован и способ одновременного формирования канала 3 и области захвата электрического заряда. Отдельное формирование канала и области захвата предусмотрено и во всех последующих вариантах изобретения. Слой 18 из SiO_2 , ширина которого равна ширине стока 2 и истока 1, расположен выше стока 2 и предотвращает чрезмерное удаление материала из области стока 2 аналогично слою из SiO_2 в первом варианте изобретения.

Ниже рассмотрены отдельные аспекты, связанные с работой устройства, выполненного по этому варианту изобретения, и отличающиеся от особенностей работы запоминающих элементов, выполненных по первому варианту. В этом варианте изобретения после захвата носителей заряда из-за узости канала 3 распределенная емкость между электродом 5 затвора и каналом 3 становится небольшой, и поэтому из области 4 захвата можно считывать небольшие накопленные в ней электрические заряды. В этом варианте изобретения при изменении порогового напряжения приблизительно на один вольт можно считать три сохранных (или накопленных) электрических заряда. Увеличивая ширину канала и используя большее количество кремниевых кристаллических частиц в

области захвата электрического заряда, число сохраненных электрических зарядов можно увеличить и получить в результате необходимое изменение порогового напряжения. Увеличение ширины канала позволяет увеличить протекающий через него электрический ток и существенно упростить процесс литографии. Размер области захвата электрического заряда ограничен 10 нм, а полная периферийная емкость не превышает ЗаФ. При комнатной температуре, даже принимая во внимание тепловые эффекты, всегда можно определить устойчивое число носителей, удерживаемых в области захвата электрического заряда. Поэтому в таких устройствах не должны происходить ни инжекция в область захвата избыточного числа носителей заряда, ни экстракция из нее сохраненных (накопленных) носителей заряда. Стирание информации осуществляется изменением направления напряжения на затворе.

Третий вариант

На фиг. 2(а) и 2(б) показан третий вариант предлагаемого в изобретении устройства. Это устройство отличается от устройства по второму варианту только тем, что канал и область захвата 11 электрического заряда интегрированы в один элемент и что канал 11 выполнен на обеих сторонах истока 9 и стока 10. В качестве материала для канала и области 11 захвата электрического заряда используют нелегированный поликристаллический кремний в виде тонкого слоя со средней толщиной приблизительно 3 нм. Это устройство, в котором значительные колебания потенциала происходят в тонком слое из поликристаллического кремния со средней толщиной менее 5 нм и в котором канал и область захвата электрического заряда формируются в тонкой пленке (11), имеет очень небольшие размеры и, будучи изготовлено простым способом, наиболее пригодно для работы при комнатной температуре. Размер кристаллических частиц в этом устройстве равен приблизительно 3 нм, что позволяет выдержать размер в поперечном направлении в пределах приблизительно 10 нм при таком же размере соответствующих областей захвата электрического заряда.

Отличительная особенность данной структуры состоит в том, что, формируя канал и область 11 захвата электрического заряда на обеих сторонах истока 9 и стока 10, при определенной ширине электрода 12 затвора ширину канала можно

практически удвоить, повысив тем самым протекающий через него ток. Обычно увеличение ширины канальной области и увеличение величины электрического тока требует увеличения площади поверхности, однако при такой структуре предлагаемого устройства никакого увеличения размеров не требуется. В структурах с объединенными каналом и областью захвата электрического заряда возникают проблемы, поскольку при простом увеличении ширины канала из-за захвата носителей возможный диапазон изменения порогового напряжения снижается. В предлагаемом устройстве эта проблема, однако, не возникает, т.к. имеющиеся в нем в большом количестве каналы изолированы друг от друга.

Четвертый вариант

Четвертый вариант предлагаемого в изобретении устройства показан на фиг. 3(а) и 3(б).

Это устройство отличается от устройства по третьему варианту наличием двух стоков и трехслойной структурой, состоящей из стока (1) 13, истока 14 и стока (2) 15. В этом варианте устройства емкость памяти можно удвоить по сравнению с первым вариантом, не увеличивая площади поверхности. Помимо совместного использования истока 14, это устройство отличается тем, что хранение данных в нем осуществляется истоком 14 и стоком 1 (13) и каналом и областью 16 захвата электрического заряда, соединенной с указанным стоком и истоком. Кроме того, хранение данных в нем осуществляется также истоком 14, стоком (2) 15 и каналом и областью 88 захвата электрического заряда, соединенной с указанным стоком и истоком. Два канала и две области 16, 88 захвата электрического заряда формируются одновременно (осаждением). Из-за разного положения относительно истока и стока они выполняют различные функции. При этом, хотя они совместно используют один электрод 17 затвора, только одна сторона элемента способна при изменении напряжения на стоке (1) 13 или стоке (2) 15 выполнять операции записи и стирания. Кроме того, поскольку исток 14, а также сток 1 (13) и сток (2) 15 могут быть выполнены все вместе одновременно и также одновременно могут быть выполнены и канал и области 16, 88 захвата электрического заряда, такое устройство обладает определенным преимуществом, заключающимся в небольшом числе операций, необходимых для его изготовления. В этом варианте изобретения канал и

область захвата электрического заряда объединены друг с другом, хотя их можно выполнить и отдельно друг от друга.

Пятый вариант

Пятый вариант предлагаемого в изобретении устройства показан на фиг.

5 4(а), 4(б) и 4(в).

Это устройство отличается от устройств по вариантам с первого по четвертый тем, что исток и сток в нем выполнены в виде многослойной структуры, а также тем, что электрод затвора также выполнен в виде многослойной структуры. На внешней стороне многослойного электрода (1) 19 затвора и электрода (2) 20 затвора выполнены исток 21 и сток 22, которые изолированы изолирующей пленкой 26 из SiO_2 . Нелегированный тонкопленочный поликристаллический кремний 23 толщиной приблизительно 3 нм соединяет исток 21 и сток 22 на боковой поверхности изолирующей пленки из SiO_2 . Функции канала и области захвата электрического заряда выполняет тонкий слой пленки 23. Поликристаллический кремний в виде тонкой пленки 23 содержит очень тонкие круглые кристаллические частицы, которые определяют 15 высокое пороговое напряжение элемента.

При подаче напряжения на затвор только участок тонкой пленки в области 20 электрода затвора может пропускать электрический ток и, хотя тонкая пленка 24 на стороне электрода 1 (19) затвора и тонкая пленка 25 на стороне электрода 2 (20) затвора изолированы в процессе травления, эти пленки формируют в 25 устройстве соответствующие каналы и области захвата электрического заряда. За счет этого обеспечивается хранение в элементе по крайней мере двух битов информации в элементе. Электроды затворов в этом устройстве выполнены в виде двух слоев, хотя фактически количество слоев может быть и большим. В 30 этом варианте структуры истоки и стоки выполнены в виде слоев так же, как и в третьем варианте, при этом следует, однако, отметить, что использование структуры, у которой количество слоев больше четырех, затруднительно, поскольку при совместном использовании стоков устройство обычно работает плохо. Структура в этом варианте изобретения имеет определенное преимущество, заключающееся в возможности увеличения емкости памяти пропорционально числу добавленных слоев электродов затворов.

Шестой вариант

Шестой вариант выполнения предлагаемого в изобретении устройства показан на фиг. 5(а) и 5(б).

Выполненный по этому варианту изобретения запоминающий элемент 5 предназначен для хранения по крайней мере двух битов информации. Структура элемента в этом варианте по существу аналогична структуре элемента по третьему варианту изобретения, за исключением только того, что она состоит из двух частей, однако изготовлена она несколько иным способом.

Процесс изготовления этого элемента памяти рассмотрен ниже. После 10 окисления поверхности подложки р-типа на нее последовательно наносят слой поликристаллического кремния п-типа, слой SiO_2 , слой поликристаллического кремния п-типа, после чего выполняют защиту фоторезистом и формируют исток 27, сток 28 и изолирующий их слой 32 из SiO_2 . Затем наносят осаждением тонкий слой из Si_3N_4 толщиной 15 нм и слой 32 из SiO_2 . После нанесения 15 фоторезиста на образующую отверстия маску, которая включает ступенчатый участок бокового края стока 27 (фиг. 5(а)), выполняют травление слоя SiO_2 и слоя Si_3N_4 . При этом обнажается боковая поверхность слоя (30) из Si_3N_4 . Затем на этот слой Si_3N_4 (30) наносят слой из аморфного Si толщиной 3 нм. По сравнению с нанесением нижнего слоя из SiO_2 процесс нанесения нижнего слоя 20 из Si_3N_4 , начиная от момента подачи газа и кончая началом процесса фактического сцепления кремния с поверхностью подложки, занимает большее 25 время, и поэтому в данном случае на поверхность слоя SiO_2 аморфный Si (a-Si) вообще не осаждается. Поэтому тонкий слой из a-Si с шириной приблизительно 15 нм можно нанести на поверхность слоя 30 из Si_3N_4 в виде слоя, соединяющего исток 27 и сток 28. Затем при термической обработке a-Si происходит 30 кристаллизация, и канал и область захвата электрического заряда интегрируются в один элемент. После осаждения (формирования) слоя 33 из SiO_2 наносят поликристаллический кремниевый слой п-типа и, выполняя травление с использованием маски из фоторезиста, формируют электрод (1) 29 затвора и электрод (2) 34 затвора (фиг. 5(б)).

В этом варианте изобретения хранение информации может быть выполнено с использованием каждого из двух электродов 29, 34 затворов, что позволяет

сохранять минимум два бита. Используя многозначное хранение, в таком элементе можно хранить и большее число битов информации. Отличительной особенностью такого устройства является его хорошая управляемость и возможность формирования очень мелких шин. Помимо того, что такой элемент обладает меньшей в сравнении с обычными полупроводниковыми элементами неоднородностью, в нем можно обеспечить большое изменение порогового напряжения при малом количестве захваченных электронов. В показанном устройстве отверстие выполнено на ступенчатом участке одной из сторон бокового края стока 29, однако такие отверстия можно выполнить и на обеих сторонах, обеспечив управление двумя каналами и областями захвата электрического заряда одними и теми же электродами. Такая структура позволяет создать элемент памяти с большим электрическим током. Кроме того, в этом варианте исток 27 и сток 28 выполнены в виде двух расположенных один на другом слоев, при этом, однако, возможно, как в четвертом варианте, выполнение устройства с трехслойной структурой из слоев стока 1, истока и стока 2 и более высокой плотностью хранения информации.

Седьмой вариант

Ниже рассмотрен седьмой вариант выполнения предлагаемого в изобретении устройства, который показан на фиг. 6.

Это устройство отличается от устройства по 6-му варианту двумя особенностями: одна из которых состоит в том, что канал и область захвата электрического заряда выполнены отдельно, а вторая состоит в том, что оба канала управляются одним и тем же электродом 35 затвора. Преимущество отдельного формирования канала и области захвата электрического заряда подробно рассмотрены в описании первого варианта изобретения. Отличительной особенностью этого варианта изобретения является более простой способ изготовления электрода 35 затвора с использованием структуры, в которой электрод 35 затвора управляет обоими каналами и выполнен в одном и том же отверстии. Отличие такого способа изготовления по сравнению шестым вариантом заключается в том, что тонкий слой SiO_2 наносят сразу же после формирования канала, а формирование области захвата электрического заряда выполняют, используя кремниевые кристаллические частицы.

Восьмой вариант

Ниже рассмотрен восьмой вариант выполнения предлагаемого в изобретении устройства, которое показано на фиг. 7(а) и 7(б).

В этом варианте изобретения процесс изготовления и взаимное расположение канала и области захвата электрического заряда отличаются от седьмого варианта. Ниже рассмотрены основные отличия процесса изготовления этого устройства от процесса изготовления устройства по шестому варианту изобретения. После формирования истока 36 и стока 37 на них наносится тонкий слой 34 из Si_3N_4 толщиной 15 нм. Затем наносится слой 40 из SiO_2 толщиной 5 нм и, в отличие от шестого варианта, наносится слой 39 из Si_3N_4 толщиной 10 нм. Затем на слой 41 SiO_2 наносят защиту из фоторезиста для формирования маски отверстия, расположенного на ступенчатом участке в конце области стока 37, и после травления выполняют операции, аналогичные шестому варианту изобретения. Толщина нанесенного слоя а-Si в этом варианте равна 5 нм. В процессе нанесения а-Si на сторону канала в области, которая соединяет сток 37 и исток 36 на боковой поверхности слоя 38 из Si_3N_4 , формируют со стороны другого слоя 39 из Si_3N_4 область захвата электрического заряда. Такая структура отличается возможностью хорошего контроля расстояния между каналом и областью захвата электрического заряда.

Девятый вариант

Ниже рассмотрен девятый вариант предлагаемого в изобретении устройства, которое показано на фиг. 8(а) и 8(б).

В этом варианте изобретения используются четыре элемента памяти по первому варианту изобретения, которые образуют матрицу элементов памяти, причем у двух из этих элементов соединены друг с другом истоки и стоки, а у двух других - электроды затворов. При управлении столбцами и строками используются два стока 42, 43 для информационных шин и два затвора 46, 47 для словарных шин. В таком устройстве количество элементов, совместно использующих истоки и стоки, может быть увеличено или оставлено прежним, а количество элементов, управляемых информационными шинами, может быть увеличено. Кроме того, в таком устройстве число элементов, совместно использующих электроды затворов, может быть либо увеличено, либо оставлено

прежним, а количество элементов, управляемых словарными шинами увеличено. Увеличение числа элементов дает такие же результаты и применительно к другим вариантам изобретения. Для снижения сопротивления информационной шины можно использовать способ нанесения штамповкой на обратную сторону подложки соответствующего металла (например, Al, W, TiN, WSi₂, MoSi, TiSi и т.д.). Такой способ обратной штамповки вполне может использоваться при изготовлении предлагаемых в изобретении устройств. Такой же метод может использоваться и для уменьшения сопротивление словарных шин как в этом, так и в других вариантах изобретения.

10

Десятый вариант

Ниже рассмотрен десятый вариант предлагаемого в изобретении устройства, которое показано на фиг. 9(а) и 9(б).

15

В этом варианте изобретения четыре элемента памяти по четвертому варианту изобретения составляют матрицу запоминающих элементов, в которой два таких элемента вместе образуют исток, сток 1 и сток 2, а два других – электроды затворов. Для образования стоков и затвора, а также для формирования информационных шин и словарных шин можно использовать поликристаллический кремний. В этом варианте изобретения, управление осуществляется четырьмя информационными шинами (1-4) 48-51, а также словарной шиной (1) 54 и словарной шиной (2) 55, что обеспечивает хранение восьми или большего количества битов информации. Информационные шины с 1-ой по 4-ую отмечены на чертежах позициями с 48 по 51, и такие же обозначения используются в последующих вариантах изобретения. В этом варианте изобретения самый нижний слой трехслойной структуры из поликристаллического кремния n-типа содержит информационные шины (1) 48 и 3 (50). Следующий слой образует шины истоков (1) 52 и (2) 53, а самый верхний слой образует информационную шину (2) 49 и (4) 51.

25

На чертеже показаны также контактные элементы устройства согласно рассматриваемому варианту выполнения. Ниже описан процесс формирования этих контактов. Сначала для формирования информационных шин (1) 48 и информационных шин (3) 50 на подложку наносят слой поликристаллического кремния n-типа и слой из SiO₂, а затем для формирования шин (1) 52 истока и

30

шин (2) 53 истока наносят слой поликристаллического кремния п-типа. Затем в 5 поликристаллическом кремниевом слое п-типа, формирующем шины истоков (1) 52 и (2) 53, вырезают первое отверстие 56. Затем после формирования 10 поликристаллического кремниевого слоя п-типа для информационных шин (2) 49 и (4) 51 в нем вырезают второе отверстие 57. Затем после нанесения слоя из SiO₂ и формирования информационных шин и шин истока выполняют обработку участков (например, 58, 59, 60), соединяющих контакты в каждом контактном сечении. В таком элементе информационная шина 2 в области 60 образована самым верхним слоем поликристаллического кремния, а в области 59, на 15 которой поликристаллический кремний срезается, верхним слоем является поликристаллический слой кремния шины истока. Кроме того, из-за отсутствия в области 58 поликристаллического кремния информационной шины 2 и поликристаллического кремния шины истока верхний слой представляет собой поликристаллический кремний информационной шины 1. В этом варианте для 20 формирования контактного окна в каждом слое не требуется выполнять отдельные операции. Такой процесс формирования контактов можно также использовать и для других многослойных структур (из нескольких слоев) и, в частности, для выполнения электродов затворов в пятом варианте изобретения. В этом и в других вариантах можно, как очевидно, использовать и другие способы формирования контактов.

Одиннадцатый вариант

Ниже рассмотрен одиннадцатый вариант изобретения, который проиллюстрирован на фиг. 10(а)-12(б) и 17.

В этом варианте восемь элементов памяти, выполненных по четвертому 25 варианту изобретения, соединены в матрицу 4x2. Исток, сток 1 и сток 2 выполнены общими для всех четырех элементов, а электроды затворов выполнены общими для двух элементов. Затворы и стоки выполнены из поликристаллического кремния и так же, как в десятом варианте, используются в качестве информационных шин и словарных шин. Нижний слой в трехслойной 30 структуре, состоящей из информационной шины 1, шины истока и шины 2 стока, которые подвергаются совместному травлению, образован поликристаллическим кремнием. В этом варианте также имеется транзисторный элемент для выборки

5 информационной шины. Ячейка представляет собой часть 61 схемы, которая выделена пунктиром. Управление в этом варианте обеспечивается четырьмя информационными шинами 62, четырьмя транзисторными ключами 63 и словарной шиной 64 и позволяет хранить в такой матрице информацию объемом
10 16 бит или больше. Размер площади контактов и периферийных элементов интегральной схемы в этом варианте должен быть меньше из-за меньшего размера ячейки. В частности, при формировании истока, стока и затвора в этом варианте в виде многослойной структуры необходимо учитывать, что использование больших по размерам контактов и периферийных схем не позволит создать такую многослойную структуру.

15 Ниже рассмотрена структура предлагаемого устройства в процессе его изготовления. Вначале на кремниевой подложке выполнены транзисторы выборки (фиг. 10(а)). Позициями 66, 67 и 68 обозначены диффузионные слои. Одновременно формируются другие периферийные элементы схемы, из которых на чертеже показаны только транзисторы, которые выбирают информационные шины. После формирования электрода 63 затвора для транзисторов выборки и ячейки памяти наносят защитный оксидный слой 69, на котором формируют ячейку памяти. Для формирования ячейки используется тот же способ, что и в четвертом варианте изобретения, и далее рассматриваются только отличия. До 20 нанесения нижнего слоя поликристаллического кремния p-типа, который образует информационные шины 1, выполняется защита фоторезистом окисного слоя и его травление в области 70 диффузионного слоя 66, на которой формируются транзисторы выборки (фиг. 10(б)).
)

25 Дальнейший процесс изготовления этого устройства показан на фиг. 11(а) и 11(б). После формирования на подложке нижнего слоя поликристаллического кремния p-типа, образующего информационные шины 1, наносят защитный слой фоторезиста, который подвергают травлению и наносят слой поликристаллического кремния p-типа для формирования шин 71 истока, как показано на фиг. 11(а). После нанесения поликристаллического кремниевого слоя p-типа для 30 формирования шин истока наносят слой из SiO_2 и слой поликристаллического кремния p-типа для формирования информационной шины (2) 49, затем осуществляют травление поликристаллического кремниевого слоя,

формирующего информационные шины (2) 49 в областях отверстий 72, которые показаны на чертеже, обеспечивая совместное травление информационных шин и шин истока. При совместном травлении шин истока и информационных шин на внешней стороне области, отмеченной позицией 71, поликристаллического кремния на информационнойшине (1) 52 не остается. Поликристаллический кремний также удаляется на информационнойшине (2) 49 на участке, обозначенном на чертеже позицией 72.

После одновременного формирования истока и информационных шин описанным выше способом информационная шина (1) оказывается непосредственно соединенной с диффузионным слоем 66 транзистора выборки без всяких металлических межсоединений, что исключает необходимость в специальном формировании межсоединений и контактов и позволяет достаточно просто изготовить небольшую по размерам структуру. Отдельные шины истока взаимно соединены поликристаллическим кремнием, который удален из области (65) информационной шины 2. Поэтому на этом участке можно не предусматривать межсоединений, создав тем самым структуру с небольшой площадью поверхности.

Дальнейшие стадии процесса изготовления показаны на фиг. 12(а) и 12(б). После формирования окисленного слоя поликристаллического кремния и выполнения словарных шин выполняют выравнивание поверхности и образование на ней окисленного слоя. На этом слое после формирования отверстий под контакты выполнено металлическое межсоединение 75, как показано на фиг. 12(а). При этом информационная шина (2) 73 и диффузионный слой 68 для транзистора выборки соединяются друг с другом.

На фиг. 17 показано поперечное сечение плоскостью А-В по фиг. 12(а). Для простоты на фиг. 12(а) и 12(б) металлическое межсоединение транзистора 63 затвора и словарной шины 64 не показано. В диффузионном слое 67 для транзистора выборки выполнено контактное отверстие и одновременно выполнено второе металлическое межсоединение 75, которое показано на чертеже. В результате при приложении напряжения к двум электродам затвора транзисторов выборки металлические информационные шины 62 электрически

соединяются либо с информационной шиной (1), либо с информационной шиной (2).

Для простоты структура этого варианта изобретения показана на чертеже в уменьшенном масштабе, поскольку в реальном запоминающем устройстве имеется намного больше информационных и словарных шин. Обычно в устройстве имеется около 1000 информационных шин и шин истоков, а словарных шин - около 16, и все информационные шины с транзисторами выборки выполняются так же, как и в этом варианте изобретения. Для удобства такое устройство названо блоком. Большое количество блоков со словарными шинами, которые расположены вертикально в чередующемся порядке, образуют запоминающее устройство. Расположенные в несколько слоев информационные шины (1, 2) могут управляться от одной информационной шины, расположенной на внешней стороне блока, с использованием транзисторов выборки. Имеющиеся в блоке в большом количестве металлические информационные шины могут быть соединены друг с другом. В этом случае число металлических информационных шин будет равно числу информационных шин одного блока. Характерная особенность структуры устройства в этом варианте изобретения, которое разделено на отдельные блоки, заключается в том, что информационные шины из поликристаллического кремния могут быть выполнены короткими и будут иметь небольшое сопротивление.

Двенадцатый вариант

Структура устройства, выполненного по двенадцатому варианту, показана на фиг. 13(а) и 13(б).

Этот вариант изобретения отличается от пятого варианта только тем, что в качестве шин 74 истока вместо поликристаллического кремния используют диффузионный слой подложки. Шина истока, использующая поверхность подложки, легко разветвляется для каждой ячейки. Этот вариант изобретения отличается низким сопротивлением шины 74 истока из-за отсутствия одного слоя поликристаллического кремния, что упрощает весь процесс изготовления. Следует отметить, что такая структура с шиной истока, выполненной в виде диффузионного слоя подложки, может быть использована даже в элементе по первому варианту выполнения изобретения.

Тринадцатый вариант

Структура устройства по тринадцатому варианту показана на фиг. 14.

В этом варианте выполнения изобретения структура состоит из двух перекрывающих друг друга слоев и матриц из элементов памяти, выполненных по первому варианту. На фиг. 14 показано поперечное сечение информационной шины. Элемент памяти и предлагаемое в изобретении запоминающее устройство выполнены на изолирующей пленке таким образом, что позволяют реализовать многослойную структуру или структуру с изолированными друг от друга слоями, отличную от элементов памяти, сформированных на поверхности подложки.

Другое отличие этой структуры состоит в том, что она позволяет достигнуть высокой степени интеграции. Кроме того, при использовании такой многослойной структуры каналы элемента памяти и предлагаемого в изобретении запоминающего устройства выполняются вертикальными, и при этом в отличие от плоской структуры верхние и нижние слои такой

многослойной структуры меньше подвержены воздействию неблагоприятных эффектов, создаваемых электродами затворов ячеек.

Четырнадцатый вариант

Структура устройства по четырнадцатому варианту показана на фиг. 18(а) - до 24.

На фиг. 18(а) и 18(б) показан общий вид части матрицы ячеек памяти, состоящей из запоминающих устройств, выполненных по этому варианту. На фиг. 18(а) показана структура после формирования канала, а на фиг. 18(б) показана структура после формирования словарных шин. Информационная шина (1) A1, шина (A3) истока и информационная шина A2 (2) выполнены из поликристаллического кремния p-типа с высокой концентрацией примесей и разделены изолирующими пленками A4, A5 из SiO_2 . Проводящие каналы A6, A7 толщиной 2,5 нм и шириной 50 нм выполнены в нелегированном поликристаллическом кремнии, прилегающем к этим изолирующими пленкам A4, A5 из SiO_2 . Словарная шина A9 выполнена и на верхней и на нижней поверхности слоя поликристаллического кремния и изолирована от затвора пленкой A8 толщиной 25 нм. На чертеже показана структура слоя с двумя информационными шинами и основная структура матрицы с двумя словарными шинами, хотя реально

ячейка памяти может иметь и намного большее количество информационных шин и словарных шин. Ячейка памяти состоит из двух слоев, верхнего и нижнего, в каждом из которых имеется четыре точки пересечения шин, и способна хранить по крайней мере восемь бит информации даже без использования многозначного способа хранения данных.

В виде сверху эта структура показана на фиг. 19. Информационная шина (1) A1, шина A3 истока и информационная шина (2) A3 выполнены в виде многослойной вертикальной структуры (A10), что позволяет ограничить площадь поверхности устройства. Вся структура A11 занимает площадь, равную 4F2. В этой структуре содержится две ячейки, и поэтому площадь поверхности одной ячейки равна 2F2.

Работа этого элемента памяти поясняется на фиг. 20. Колебания (подъем и падение) потенциала в пределах чрезвычайно тонкого слоя из поликристаллического кремния таковы, что в пределах этого тонкого слоя создаются непрерывная область A12 низкого потенциала для прохождения электрического тока и изолированная область низкого потенциала, которая образует область A13 захвата электрического заряда. Размеры кристаллических частиц этого слоя ограничены толщиной слоя, равной приблизительно 2,5 нм, а их горизонтальная протяженность не превышает 10 нм. Размер соответствующих носителей заряда в области A13 захвата электрического заряда измеряется такими же величинами. Такая структура наиболее пригодна для создания элемента небольшого размера, способного работать при комнатной температуре и простого в изготовлении. Следует подчеркнуть, что область захвата электрического заряда и канал для прохождения электрического тока могут быть, как очевидно, сформированы и отдельно друг от друга.

В рассматриваемом варианте, если размеры частиц в области захвата электрического заряда не превышают максимально 10 нм, эффект электростатического отталкивания зарядов может быть получен даже при комнатной температуре. Операции записи и стирания осуществляются изменением электрического потенциала на словарнойшине A9. Между информационной шиной (1) A1 и шиной A3 истока создается определенное напряжение, и приложении напряжения к словарнойшине в тонкой

поликристаллической кремниевой пленке канала А6 появляются электроны и начинается течение электрического тока. При большем напряжении на затворе разность потенциалов между каналом А12 протекания электрического тока и областью А13 захвата электрического заряда становится большой, и электроны пересекают область высокого потенциального барьера за счет туннельного 5 эффекта или теплового возбуждения и попадают в область А13 захвата электрического заряда. В результате происходит сдвиг порогового напряжения в сторону большего значения, а величина электрического тока становится небольшой даже при том же самом напряжением на затворе. Считывание 10 информации осуществляется путем измерения величины этого электрического тока. Стирание осуществляется изменением знака напряжения на затворе.

Ниже рассмотрена структура плоского полупроводникового запоминающего элемента, который является основным блоком полупроводникового запоминающего устройства большой емкости, содержащим матрицы 15 полупроводниковой памяти большой емкости, состоящие из отдельных ячеек памяти.

Схема плоского полупроводникового запоминающего элемента показана на фиг. 21, 22, 23, 24, 25, 26 и 27. На этих чертежах показаны различные стадии процесса изготовления этого элемента в одном и том же сечении.

Описанная выше ячейка памяти по своей конфигурации пригодна для использования в качестве элемента матрицы большого размера. Поскольку, однако, ячейка памяти имеет длинные информационные шины из поликристаллического кремния, ее сопротивление становится слишком большим. Поэтому для создания больших по размерам устройств контакты их межсоединения должны быть выполнены из металлического материала с низким электрическим 25 сопротивлением. Малогабаритный модуль для такой структуры в дальнейшем называется плоским элементом памяти. В этом варианте изобретения для создания плоского элемента памяти из 128 ячеек необходимо иметь 8 рядов информационных шин и словарных шин с двумя ячейками в каждой из 64 точек 30 их пересечения.

Кроме того, в целях идентификации поликристаллические кремниевые информационные шины 1 и 2, предназначенные для выполнения внутренних

межсоединений плоского элемента памяти, названы локальными информационными шинами, а информационные шины с низким сопротивлением, предназначенные для выполнения межсоединений между плоскими элементами памяти, названы общими информационными шинами. Поскольку две шины, включая информационную шину 1 и информационную шину 2, перекрывают друг друга, МОП-транзистор выборки верхних и нижних плоских элементов памяти выполнен на поверхности подложки. Такое расположение транзисторов решает проблемы, связанные с размещением элементов с определенным шагом, и позволяет выполнить общую информационную шину вне плоского элемента памяти в виде одного проводника. Поскольку шаг между транзисторами выборки должен быть больше шага информационных шин, транзистор выборки, принимая во внимание наличие изолирующей области, может работать для смежных информационных шин в разделенном на верхнюю и нижнюю части плоском элементе памяти.

Ниже со ссылками на фиг. 21-27 подробно рассмотрен процесс изготовления устройства, выполненного по этому варианту. Область A22, которая выделена пунктиром, образует плоский модуль полупроводникового запоминающего устройства. Вначале на поверхности подложки р-типа формируют транзистор п-типа. После этого формируют A15 электроды затворов, которые пересекают активные области A16, образующие матрицу расположенных рядом друг с другом элементов памяти. Одновременно на внешней стороне матрицы ячеек памяти формируют комплементарные МОП-структуры. МОП-транзисторы выполняются в виде трехслойной карманной структуры, обеспечивающей возможность работы в требуемом диапазоне напряжений. Такие МОП-транзисторы выполняются по крайней мере с двумя разными по длине затворами, поскольку транзисторы усилителей считывания, транзисторы дешифраторов и транзисторы управляющих схем словарных шин с высоким допустимым напряжением имеют различное напряжение электрического пробоя. В рассматриваемом варианте не используют КНД-подложку (со структурой типа "кремний на диэлектрике"); при этом следует отметить, что использование тонкослойной КНД-подложки исключает необходимость выполнения ячейки памяти в этом варианте изобретения в виде трехслойной

карманной структуры. Затем после формирования слоя SiO_2 выполняют его травление с использованием маски из резиста, обнажая область A14 диффузионного слоя МОП-транзистора выборки. Затем наносят слой 5 поликристаллического кремния p-типа толщиной 50 нм и выполняют травление слоя из SiO_2 с использованием в качестве маски из резиста показанного на фиг. 21 шаблона A33. Такой способ позволяет выполнить прямое соединение между локальными информационными шинами A1 и диффузионным слоем МОП- 10 транзисторов выборки, не формируя для этого специальных контактов для локальной информационной шины A1 (1). Затем последовательно наносят слой из SiO_2 (толщиной 100 нм), слой поликристаллического кремния p-типа (толщиной 50 нм), слой из SiO_2 (толщиной 100 нм), слой поликристаллического 15 кремния p-типа (толщиной 50 нм) и слой из SiO_2 (толщиной 30 нм), после чего выполняют травление слоя из SiO_2 , используя его в качестве маски из резиста для шести сформированных до этого слоев показанной на фиг. 22 многослойной структуры A17, состоящей из шины A3 истока, локальной информационной 20 шины (1) A1 и локальной информационной шины (2) A2.

Одновременное формирование всех этих слоев упрощает процесс литографии по сравнению с изготовлением элемента памяти в виде двухслойной структуры. Кроме того, в предлагаемом варианте сеть информационных шин A18 выполняется между плоскими элементами памяти. При литографическом способе 25 формирования информационных шин такая схема позволяет легко определить оптимальные условия для выполнения структур при одной и той же световой экспозиции (создание схемы с использованием электронного луча). Располагая смежные структуры на обеих сторонах смежных информационных шин, локальную шину можно выполнить с такой же статической емкостью, что и 30 соседние шины, существенно повысив тем самым устойчивость работы устройства памяти. Затем после формирования слоя из a-Si (аморфного кремния) толщиной 2,5 нм в процессе термической обработки выполняется кристаллизация. После кристаллизации наносят слой SiO_2 толщиной 15 нм и затем формируют полосы A19 из резиста шириной 0,1 микрона, располагая их под прямым углом к информационной шине, как показано на фиг. 23.

После формирования резистной маски A19 выполняют ее травление. При этом формируется тонкая шина из SiO_2 , которая проходит перпендикулярно подложке со стороны слоя A6 из SiO_2 между локальной информационной шиной (1) A1 и шиной A3 истока, а также со стороны SiO_2 -слоя A7 между локальной 5 информационной шиной (2) A2 и шиной A3 истока. Одновременно формируют вспомогательную схему A20, предотвращающую свертывание шины малой ширины из резиста. Затем слой из SiO_2 срезают параллельно подложке сухим 10 анизотропным травлением. Такой способ травления предотвращает соединение смежных локальных информационных шин друг с другом через поликристаллический кремний. Затем тонкий слой поликристаллического кремния окисляют в 15 плазменной среде O_2 . С той целью, чтобы окисление слоя не превышало 10 нм, тонкий слой из поликристаллического кремния, который расположен ниже предварительно сформированной шины малой ширины из SiO_2 , не окисляют, формируя тем самым очень четкую схему из чрезвычайно тонкого слоя 20 поликристаллического кремния. Такой способ сухого травления наиболее пригоден для создания шин малой ширины по следующим причинам. Во-первых, с помощью сухого травления и окисления от влажного травления из резиста можно выполнить очень четкую и мелкую структуру. При проведении 25 предварительных исследований было установлено, что изменение порогового напряжения может быть получено как до, так и после операции записи при использовании чрезвычайно тонкого слоя из поликристаллического кремния с очень узкой шиной канала с отношением ширины к длине, равным как минимум 2. В рассматриваемом варианте изобретения, когда толщина слоя из SiO_2 между 30 шиной A3 истока и локальной информационной шиной A1 равна 100 нм, необходимо, чтобы ширина канала составляла приблизительно 0,5 мкм. В изготовленном опытном образце был использован слой резиста шириной 0,1 мкм, и после завершении влажного травления была сформирована узкая шина канала из SiO_2 шириной 0,07 мкм. При дополнительном окислении боковых поверхностей после окисления был сформирован чрезвычайно тонкий слой поликристаллического кремния с узкой шиной канала шириной 0,05 мкм. Во-вторых, при глубине плазменного окисления O_2 , равной приблизительно 10 нм, отсутствует какая-либо возможность чрезмерного увеличения размера шины

канала после его формирования. После выполнения канала и после формирования тонкого слоя A8 из SiO_2 , используемого в качестве изолирующей пленки затвора, наносят слой поликристаллического кремния p-типа и выполняют травление с использованием маски из фоторезиста, формируя, как показано на фиг. 24, словарную шину A21.

Если толщина слоя поликристаллического кремния p-типа окажется больше половины промежутка между информационными шинами, то при формировании информационной шины можно выполнить углубление (или канавку), легко формируя схему из резиста. Наличие вспомогательной области между информационными шинами позволяет получить эффект, аналогичный выполнению канавки требуемой ширины, даже для граничных участков плоского элемента памяти. После формирования слоя поликристаллического кремния p-типа производят травление и после уменьшения толщины слоя осаждением кремния формируют словарную шину с более низким сопротивлением. После формирования словарных шин на них наносят изолирующую пленку и выполняют выравнивание контактов, как показано на фиг. 25. После травления изолирующей пленки в верхней части схемы формируют контакт A26 для локальной информационной шины (2) A2, контакт A27 для диффузионного слоя A16 МОП-транзистора выборки, контакт A25 для электрода A15 затвора МОП-транзистора выборки и контакт A34 для словарной шины A21. Поскольку шина A3 истока расположена ниже локальных информационных шин A2, контактное окно A23 для нее должно быть выполнено в локальной информационной шине (2) A2. Кроме того, с той целью, чтобы не занимать большую область под размещение транзистора выборки, активная ширина которого определена шагом матрицы, для соединения общей информационной шины и транзистора выборки необходимо выполнить контактное окно A24, которое должно проходить через локальную информационную шину (2) A2 и шину A3 истока. Такая схема позволяет создать структуру, в которой контактное окно и информационная шина перекрывают друг друга. В этом месте контактной области локальная информационная шина (1) A1 отсутствует, что связано с необходимостью подгонки после ее формирования. Во избежание коротких замыканий со слоем, расположенным вокруг отверстия, в контактном окне формируется боковая

стенка из изолирующей пленки путем несплошного сухого травления отверстия и нанесения изолирующего слоя.

Поперечное сечение контакта в области МОП-транзистора выборки после формирования боковой стенки показано на фиг. 29.

Контакт А34 словарной шины, расположенный в конце ячеек памяти, показан на фиг. 28.

Большая по размерам вспомогательная структура А35 выполнена из того же самого материала, что и слои информационной шины, который отличается от материала вспомогательных информационных шин. На этой вспомогательной структуре выполнен контакт А34. Такое расположение контакта позволяет при формировании поликристаллического кремниевого слоя получить эффект от выполнения в информационных шинах углубления, аналогично тому, как это имеет место при формировании словарных шин. После формирования вспомогательной структуры наносят металл и после защиты фоторезистом выполняют травление, формируя, как показано на фиг. 26, первый слой из металла для межсоединений М1.

Сопротивление проводника А29 межсоединений М1 уменьшено обратным тиснением электрода А15 затвора из поликристаллического кремния. Соединение А28 шины истока А3 также выполняется межсоединением М1. Аналогично выполняются и соединение (А30) с локальной информационной шиной (2) А2 и с диффузионным слоем МОП-транзистора выборки. Кроме того, после формирования изолирующей пленки между слоями выполняются контактные окна, после чего наносится слой металла, а после защиты фоторезистом выполняется травление, в процессе которого формируется второе межсоединение М2 из металла, как показано на фиг. 27. В межсоединении М2 выполнены общие информационные шины А31. Формирование общей информационной шины в межсоединении М1 препятствует выполнению других межсоединений, поскольку вся плоская матрица элементов памяти выполнена с очень небольшим шагом. Поэтому для выполнения общих информационных шин А31 необходимо использовать межсоединение М2 или другое расположенное выше межсоединение. То же самое относится и к схеме считывания, которая соединена с внешней стороной матрицы элементов памяти, т.е. иными словами необходимо

подключить схему считывания к слою, расположенному ниже общей информационной шины, например, к межсоединению M1. Расположение вспомогательной структуры общих шин данных в пределах плоского полупроводникового запоминающего элемента позволяет получить такой же

5 самый эффект, как и для локальных шин данных.

Пятнадцатый вариант

Ниже описан пятнадцатый вариант изобретения, который проиллюстрирован на фиг. 30(а), 30(б) и 32.

На фиг. 30(а) и 30(б) показаны сечения матрицы элементов памяти, выполненной по этому варианту. На фиг. 30(а) показана структура матрицы после формирования каналов, а на фиг. 30(б) – после формирования словарных шин. В устройстве, выполненном по четырнадцатому варианту, две ячейки памяти расположены вертикально. В данном варианте в отличие от других используется только одна ячейка памяти, которая работает по тому же самому

15 принципу, что и в других вариантах.

Канал A38 выполнен вертикальным и соединяет локальные информационные шины A37 и шину A36 истока. Электрический потенциал канала задается словарной шиной A47. Структура по этому варианту изобретения обладает более низкой в сравнении с четырнадцатым вариантом степенью интеграции, но

20 отличается наличием нескольких выступов (канавок) и более гибким процессом изготовления.

На фиг. 32 показан вид сверху плоского полупроводникового запоминающего элемента. Технология изготовления контактов в этом варианте соответствует показанному на фиг. 25 четырнадцатому варианту изобретения. В

25 плоском элементе локальная информационная шина соединена с общей информационной шиной через МОП-транзистор. В четырнадцатом варианте изобретения этот транзистор предназначен для выборки верхней или нижней ячейки, а в данном варианте он уменьшает емкость локальной информационной

шины, которая во время работы электрически соединена с общей информационной шиной. Если емкость на локальной информационнойшине уменьшить, то при том же самом электрическом токе можно более быстро и в большей степени изменять электрический потенциал, обеспечив более высокое быстродействие

устройства. Такое преимущество не ограничено только этим вариантом выполнения изобретения и структурами с вертикальными каналами, как в четырнадцатом варианте, и может быть реализовано также в структурах, в которых каналы расположены параллельно поверхности устройства, как показано на фиг. 31(а) и 31(б).

Основной вариант выполнения матрицы ячеек памяти показан на фиг. 31(а) и 31(б). На верхнем чертеже (фиг. 31 (а)) показана структура матрицы из шести элементов после формирования канала. Вид матрицы после формирования словарных шин показан на фиг. 31(б). Структура имеет локальную информационную шину (1) A39, локальную информационную шину (2) A41 и одну общую шину A40 истока. Электрический потенциал канала задается словарной шиной A43. Если базовый размер структуры элемента равен F, то размер этой структуры равен 6F2, и она по сравнению с пространственными структурами отличается простотой изготовления. Дальнейшие пояснения относятся к фиг. 32. Контактные окна включают контактное окно A46 для соединения с шиной A36 истока, контактное окно A47 для соединения с электродом затвора МОП-транзистора и контактное окно A48 для соединения диффузионного слоя МОП-транзистора с общей информационной шиной. Этот вариант изобретения отличается тем, что все контактные окна могут быть выполнены во время одной и той же операции и тем, что число операций изготовления этого устройства меньше, чем при изготовлении устройства по четырнадцатому варианту изобретения.

Ниже рассмотрены относящиеся к различным вариантам выполнения изобретения (с шестнадцатого по двадцать второй) примеры операций записи, стирания, проверки записи, проверки стирания, очистки и многозначного хранения информации в предлагаемых в изобретении матрицах ячеек памяти, выполненных по различным вариантам.

Базовая матрица, которая используется в этих примерах, показана на фиг. 33. Очевидно, что кроме этой матрицы в рассматриваемых устройствах могут быть использованы и ранее описанные структуры элементов памяти.

Шестнадцатый вариант

Последовательность операций считывания, записи и стирания информации показана на фиг. 34. Считывание информации происходит из элемента 1 и элемента 2. При стирании информация стирается из элемента 1 и элемента 2.

5 При записи в элемент 1 записывают информацию "1", а в элемент 2 - "0". При считывании сначала создают предварительный заряд (шаг 1), а затем к истоку, информационным шинам и словарным шинам прикладывают номинальное напряжение считывания (шаг 2). Считывание осуществляется измерением величины тока, который характеризует информацию, хранящуюся в ячейке 1, и протекает в информационнойшине 1, и тока, который характеризует информацию, хранящуюся в ячейке 2, и протекает в информационнойшине 2. Электрический ток в словарнойшине 1 при значении информации "0" больше тока, соответствующего значению информации "1", что позволяет легко отличить друг от друга два возможных состояния ячейки памяти.

15 При напряжении, меньшем порогового, и хранении информации "0" на словарнойшине 2 ток в ячейке 3 и ячейке 4 отсутствует независимо от хранящейся в них информации. Даже при большом количестве ячеек в матрице все они работают таким же образом, поскольку при этом напряжение считывания прикладывают только к словарнойшине, управляющей ячейкой, из которой считывается информация, а на других словарныхшинах, связанных с той же самой информационнойшиной, устанавливают низкое напряжение. Ниже описана операция стирания. Операция стирания выполняется одновременно для элемента 1 и элемента 2. При выполнении операции проверки для каждого стертого бита необходимо иметь перечень ячеек, в которых информация должна быть стерта. До подачи на ячейку напряжения стирания на нее подается напряжение записи (шаг 1).

30 Осуществление этого шага предотвращает приложение напряжения стирания к ячейкам, в которых операция записи после стирания не была выполнена, и способствует подавлению нежелательных флюктуаций характеристик устройства. После этого в соответствии с перечнем ячеек устанавливают напряжение на соответствующей информационнойшине (шаг 2).

Напряжение (например, 5 В), приложенное к информационной шине, которая связана с ячейкой, в которой стирание выполнено не полностью, должно быть выше, чем напряжение (например, 0 В), которое приложено к информационной шине, связанной с ячейкой, в которой стирание выполнено полностью. С целью проверить состояние ячейки элемента после подачи низкого напряжения стирания (например, -10 В) (шаг 3) на словарную шину подают нормированное напряжение (например, 0,5 В) и контролируют изменение напряжения на словарной шине (шаг 4, шаг 5).

В результате, если величина порогового напряжения ячейки окажется более низкой, чем нормированное напряжение, то эта ячейка исключается из вышеупомянутого перечня (перечень ячеек, подлежащих стиранию). Операция стирания заканчивается, когда перечень стирания становится пустым, но если ячейки все еще остаются в перечне, то операция стирания выполняется снова, возвращаясь к шагу 2. На шаге 2 напряжение, которое приложено к ячейкам, удаленным из перечня стирания, мало (0 В), а разность потенциалов (в данном случае, 10 В) относительно словарной шины также мала, что исключает возможность ненужного стирания. В такой последовательности операции повторяются для ячеек, в которых требуется стирание, вплоть до того, пока необходимое пороговое напряжение не станет меньше нормированной величины.

Операция записи заключается в записи информации, представленной "0" или "1", в элемент 1 и элемент 2. При записи на информационную шину, соответствующей ячейке из перечня ячеек, в которые должна быть записана "1", подается напряжение (шаг 1).

Напряжение (например, 0 В), которое приложено к информационным шинам ячеек, в которых "1" записана не полностью, ниже напряжения, приложенного к информационным шинам ячеек, в которых запись "1" или "0" выполнена полностью; при этом задается большая разность потенциалов относительно словарной шины. Затем с целью проверить состояние ячейки после подачи (шаг 2) на нее высокого напряжения (например, 15 В) записи к словарной шине прикладывается нормированное напряжение (например, 2,5 В) и измеряется изменение напряжения (шаг 3, шаг 4).

Если измеряемое напряжение окажется выше, чем заданное пороговое напряжение, то ячейка удаляется из перечня ячеек, которые предназначены для записи. Иными словами, операция записи заканчивается при пустом перечне, но если ячейки все еще остаются в перечне, то вся процедура повторяется, начиная с шага 2. На шаге 2 напряжение (в данном случае 5 В), приложенное к информационной шине, больше для ячеек, удаленных из перечня, и небольшая разность потенциалов относительно словарной шины (в этом случае, 10 В) позволяет избежать чрезмерно большого изменения значения порогового напряжения. В рассматриваемом примере речь шла о перечне ячеек для записи "1", однако точно так же можно использовать и перечень ячеек, в которые запись "1" выполнена, или перечень ячеек для записи "0", причем эти перечни можно дополнительно использовать при операции контроля записи, которая может быть закончена в тот момент, когда все ячейки будут включены в перечень. Такой принцип может также использоваться применительно к перечню ячеек, в которых выполняются операции стирания. Для упрощения описания все приведенные выше определения будут использоваться и в дальнейшем.

В этом варианте поликристаллический кремний использовался в шинах данных, шинах стоков, словарных шинах и каналах, однако использование такого материала не обязательно и для этих цепей вместо него можно использовать и другие различные полупроводниковые материалы или металлы. Для формирования информационных шин, шин стоков и каналов можно также использовать КНД-подложку и объемную кремниевую подложку. Их сопротивление при использовании объемной кремниевой подложки снижается, что позволяет увеличить быстродействие памяти. Для формирования каналов используется нелегированный поликристаллический кремний, однако с этой же целью можно использовать поликристаллический кремний с примесями. Кроме того, в этом варианте в качестве проводника электрического тока и в качестве среды для хранения электрических зарядов и хранения информации используют тонкий слой (1) поликристаллического кремния; однако формирование области низкого сопротивления в тонком слое, выполняющей роль проводника и накапливающей заряды для сохранение информации, может быть выполнено в других местах схемы. В этом случае кроме полупроводникового материала для

накопления электрических зарядов может использоваться и металл. При этом, как было указано выше при рассмотрении принципа работы элемента, область хранения электрических зарядов имеет вид небольшой структуры, которая окружена областью высокого потенциального барьера. Такая структура отличается возможностью использования различных по размерам и свойствам материалов, поскольку путь протекания электрического тока и область захвата электрического заряда выполнены отдельно друг от друга.

Семнадцатый вариант

Устройство, выполненное по семнадцатому варианту, показано на фиг. 35 и

10 36.

Принцип использования регистра для хранения перечня ячеек для варианта, показанного на фиг. 35 и 36, такой же, как и в шестнадцатом варианте, работа которого проиллюстрирована на фиг. 34. Последовательность операций в этом варианте показана на фиг. 35. Структурная схема полупроводникового запоминающего устройства для этого варианта показана на фиг. 36. Количество шин ввода/вывода можно уменьшить, последовательно выполняя обмен информацией с внешними устройствами в определенной последовательности с использованием сдвигового регистра. Принцип работы этой ячейки памяти такой же, как и для шестнадцатого варианта. Каждый бит регистра соответствует информационнойшине. В этом варианте ячейка 1 (и ячейка 3) соответствуют первому биту регистра, а ячейка 2 (и ячейка 4) соответствуют следующему биту регистра. При стирании информации неполному стиранию соответствует состояние "1", а полному стиранию соответствует состояние "0". Иными словами, при стирании информации в элементе 1 или в элементе 2 состояние {1, 0} регистра обозначает, что стирание элемента 2 выполнено полностью или что стирание элемента 2 не завершено. При возврате к шагу 2, когда бит регистра соответствующей информационной шины равен "1", к шине данных прикладывается необходимое для стирания напряжение (например, 5 В). Процесс проверки стирания заканчивается, когда потенциал соответствующего бита регистра станет равен 0 (например, 0 В) и когда все биты регистра станут равными нулю (0).

Во время записи в ячейку информации на шаге 1 записанный бит информации будет инверсным по отношению к соответствующему значению бита регистра. Иными словами, наличие в регистре во время выполнения шага 1 бита {0, 1} означает, что в ячейку 1 записана "1", а в ячейку 2 записан "0". В дальнейшем после выполнения шага 2 при полной записи в ячейку информации "1" информация на выходе соответствующего бита регистра будет равна "0". Если на шаге 1 соответствующий бит регистра будет равен "1", то на информационнойшине, как при стирании, создается соответствующий потенциал (например, 0 В), а если бит регистра равен "0", то к этойшине прикладывают высокое напряжение (например, 5 В). Операция контроля записи заканчивается, когда все биты регистра будут равны "0".

Восемнадцатый вариант

Принцип работы устройства, выполненного согласно восемнадцатому варианту, показан на фиг. 37.

В этом варианте проверка стирания не выполняется для каждого бита, а цикл стирания считается завершенным полностью, когда пороговое значение для всех ячеек, в которых должно быть выполнено стирание, станет меньше заданного порогового напряжения. При таком способе стирания на шаге 2 напряжение стирания подается на все выбранные ячейки. Контроль каждого бита при этом не является необходимым, и поэтому этот способ отличается относительной простотой. Во избежание чрезмерного стирания на ячейки необходимо подавать стабильное напряжение. Применительно к самой ячейке стирание означает инжекцию электронов, и поэтому для окончания цикла для всех ячеек, в которых проводится стирание, на них требуется создать потенциал больше заданного порогового напряжения. При таком способе практически во всех ячейках, на которых потенциал превышает пороговое напряжение, при повторном стирании происходит снижение электрического тока, что позволяет существенно уменьшить потребление тока во время операции стирания.

Девятнадцатый вариант

Девятнадцатый вариант выполнения предлагаемого в изобретения устройства показан на фиг. 38 и 39.

Структура ячейки памяти в этом варианте такая же, как и в семнадцатом варианте. Помимо выполнения операций проверки записи и стирания, этот вариант также отличается выполнением во время хранения информации операции регенерации. Как указано в описании первого варианта, в ячейке памяти во время записи информации при небольшом количестве сохраняемых электронов с большой вероятностью возникают явления типа теплового возбуждения и туннельного эффекта. То же самое относится и к хранению информации, что является причиной неустойчивой работы ячейки при хранении информации. Однако известный способ стабилизации хранения информации увеличением толщины (или увеличением ширины потенциального барьера) изолирующей пленки между областью истока и областью, где хранятся электрические заряды, не является оптимальным, т.к. время записи при этом существенно возрастает. Предлагаемое полупроводниковое запоминающее устройство отличается высокой скоростью записи и стирания, такой же как в блоках флэш-памяти, однако, выполняя операцию восстановления во время хранения информации, можно обеспечить одновременно и высокие скорости записи и стирания и устойчивое хранение информации. Кроме того, применительно к ДЗУПВ, которые широко используются как энергозависимая память с высоким уровнем интеграции, предлагаемый запоминающий элемент может быть выполнен из одной ячейки на основе одного транзистора, что позволяет создать элемент памяти с простой структурой и высокой степенью интеграции.

Схема устройства согласно этому варианту показана на фиг. 38. В этом варианте, в отличие от семнадцатого варианта, предусмотрено использование двух типов регистров. Последовательность этапов регенерации информации показана на фиг. 39. Так же, как и в шестнадцатом варианте, в этом варианте предусмотрено использование четырех смежных элементов памяти. Последовательность операций считывания, стирания и записи соответствует семнадцатому варианту выполнения изобретения, и все операции последовательно повторяются при выборе словарных шин. Данные со словарных шин считывают и сохраняют в регистре 1. В данном варианте каждый бит информации хранится в регистре 1 в инвертированном виде по отношению к

информации ячейки памяти. После этого выполняется операция стирания, описанная выше для семнадцатого варианта выполнения изобретения. Во время операции стирания данные, считанные из регистра 2, теряются, что определяет необходимость подготовки регистра 2. Данные из регистра 1 еще раз 5 переписываются в ячейку памяти. Все эти операции последовательно повторяются при переключении словарных шин. Устойчивое хранение информации обеспечивается тем, что период операции регенерации существенно меньше среднего времени, в течение которого происходит потеря хранящейся в памяти информации. Регистр 1 или регистр 2 используются для проверки 10 операций стирания и записи. При этом при временном хранении информации регистра 1 в регистре 2 можно стереть информацию в регистре 1. По окончании операции стирания и после перезаписи информации из регистра 2 в регистр 1 выполняется операция записи. Операции записи, стирания и считывания 15 выполняются аналогично семнадцатому варианту. При этом однако в операцию считывания необходимо внести корректизы, поскольку в данном случае для повышения быстродействия при выполнении операций стирания и записи ширина области потенциального барьера или высота потенциального барьера между областю захвата электрического заряда и внешними областями должна быть уменьшена. При этом во время операции считывания сохраненная информация в 20 памяти будет потеряна, и поэтому с целью предотвратить такую потерю информации ее необходимо перезаписывать. Последовательность такой операции 25 такая же, как и для операции регенерации, а единственное отличие состоит в том, что считанная информация передается во внешнее устройство. Такой же способ используется и в других вариантах, выполняющих операцию регенерации.

Двадцатый вариант

Двадцатый вариант выполнения предлагаемого в изобретении устройства показан на фиг. 40 и 41. Блок-схема этого устройства показана на фиг. 40. Последовательность выполнения операции регенерации показана на фиг. 41.

30 Этот вариант отличается от девятнадцатого тем, что при выполнении операции проверки стирания не выполняется для каждого бита, и операция стирания завершается, когда во всех ячейках, информация в которых должна

быть стерта, напряжение станет ниже заданного порогового напряжения. Во всех других отношениях этот вариант аналогичен девятнадцатому варианту и отличается тем, что в нем не требуется иметь регистр на каждой информационной шине во время операции стирания, поскольку проверка стирания не выполняется для каждого бита, а также тем, что в нем не требуется второй регистр.

Двадцать первый вариант

Блок-схема двадцать первого варианта выполнения изобретения показана на фиг. 42.

Отличительная особенность этого варианта состоит в том, что в одной ячейке сохраняется больше одного бита информации (многозначное хранение информации). Структура элемента памяти в этом варианте такая же, как и в шестнадцатом варианте.

На фиг. 43 показана экспериментальная характеристика блока ячеек по этому варианту выполнения изобретения. На графике показано изменение электрического тока в информационной шине во времени при напряжении на шине истока 0 В, на информационной шине 2 В и на словарной шине 9 В. При небольшом увеличении электрического потенциала на словарнойшине инжекция электронов замедляется, что упрощает процесс измерения изменений тока во времени. Из графика видно, что при единичном накоплении электронов в области хранения в пороговом напряжении происходят изменения, связанные с рассеиванием или дисперсией, и электрический ток изменяется ступенчато. Каждому пороговому значению соответствует разная информация, что делает возможным многозначное хранение информации. Например, состоянию, при котором накоплен один электрон, соответствует информация "0, 0", двум накопленным электронам соответствует информация "0, 1", трем накопленным электронам соответствует информация "1, 0", а четырем накопленным электронам соответствует информация "1, 1", что означает возможность хранения двух битов. Этот вариант изобретения отличается простой идентификацией состояния по сравнению с устройствами с многозначным хранением, информация в которых определяется последовательным сравнением характеристик. Структура запоминающего устройства в этом варианте

изобретения аналогична структуре девятнадцатого варианта и отличается тем, что регистры, соответствующие каждой из словарных шин, имеют большое количество битов, а также напряжением и временными характеристиками при выполнении операций записи и считывания. В этом варианте изобретения захват 5 одного электрона соответствует накоплению одной части информации, но, как уже неоднократно упоминалось, при захвате и удалении электронов происходят вероятностные процессы, которые вызывают появление нестабильности и сбоев в работе памяти и ухудшают ее характеристики в части записи и стирания информации. На повышение стабильности хранения информации в памяти 10 эффективно влияет выполнение операции регенерации информации и выполнение операции проверки при записи и стирании. Запись многозначной информации осуществляется изменением времени записи (длительности каждого импульса записи или их суммы). Время записи характеризуется величиной, пропорциональной длительности записи. Как и в шестнадцатом варианте, область 15 хранения в этом устройстве имеет небольшие размеры, а инжекция одного электрона влияет на вероятность инжекции следующего электрона, однако функция, описывающая этот эффект относительно числа захваченных электронов имеет вид экспоненты. Для выборочной записи информации предпочтительно увеличивать количество значений напряжения записи, а не 20 время записи. Напряжение записи меняется пропорционально, т.к. при инжекции электронов под действием напряжения от внешнего источника для стирания информации только изменением потенциала в области захвата зарядов существует большая вероятность того, что следующий электрон будет 25 инжектирован на предыдущий. Необходимо отметить, что для этого можно одновременно использовать различные метод изменения напряжения записи и метод изменения времени записи. Для выполнения операции считывания в этом случае из-за большого количества считываемых состояний требуется использовать генератор опорного напряжения. В многозначном запоминающем устройстве для выполнения операции контроля или операции регенерации 30 многозначной информации требуется также иметь соответствующие устройства для хранения множества значений информации.

Устойчивая работа запоминающего устройства обеспечивается большим количеством накопленных электронов (если, например, пять электронов соответствуют совпадению информации), которые более эффективно характеризуют записываемую информацию, чем один электрон. При этом

5 структура памяти и последовательность операции остаются такими же.

Устройство памяти, в котором хранение информации осуществляется большим количеством электронов, отличается меньшей по сравнению с устройством, использующим для хранения один электрон, вероятностью возникновения указанных выше явлений и более устойчивой работой. При этом изменяются в 10 лучшую сторону и другие характеристики устройства, в частности удлиняется цикл операции регенерации и снижается потребляемый ток.

Двадцать второй вариант

Операция регенерации для двадцать второго варианта выполнения изобретения показана на фиг. 44.

15 Этот вариант отличается тем, что операцию регенерации выполняют во время хранения информации, а проверку стирания/записи не производят.

Структура этого элемента памяти такая же, как и в двадцать втором варианте, однако кремниевые кристаллические частицы в области хранения имеют размер около 4 нм. При операции записи и инжекции одного электрона в одну такую 20 кристаллическую частицу вероятность инжекции во вторую кристаллическую частицу существенно снижается. Время, требуемое для инжекции второго электрона, намного больше времени, необходимого для инжекции первого 25 электрона. Поэтому напряжение записи требуется поддерживать достаточно долго в течение времени, которое больше среднего времени инжекции одного электрона, а с учетом некоторого вероятностного отклонения это время, кроме 30 того, должно быть меньше, чем среднее время, необходимое для инжекции двух электронов. Следовательно, этот вариант обеспечивает устойчивое хранение информации, и при хранении одного бита в запоминающем элементе или при многоуровневом хранении данных в виде большого количества битов в одной ячейке не требуется выполнять операции проверки.

Ниже описаны отдельные примеры периферийных схем с небольшой площадью поверхности, которые работают с небольшими электрическими

зарядами, имеют эзкий уровень шума и наиболее пригодны для использования с одноэлектронными блоками памяти, чувствительными к воздействию шума, а также способы изготовления таких периферийных схем, имеющих требуемые характеристики и небольшую площадь поверхности, которые позволяют создать интегрированные запоминающие элементы с высокой степенью интеграции, соответствующие вариантам выполнения изобретения с двадцать третьего по двадцать пятый.

Условное обозначение элементов этих устройств показано на фиг. 45. Во всех этих устройствах для того, чтобы отличить их от обычного полевого транзистора, область захвата электрического заряда изображена черной точкой, показанной на схеме полупроводникового элемента памяти, изображенного на фиг. 45.

Двадцать третий вариант

Схема полупроводникового запоминающего устройства согласно двадцать третьему варианту выполнения изобретения и графики, иллюстрирующие операции считывания, стирания и записи, показаны на фиг. 46-49.

Принципиальная схема этого варианта показана на фиг. 47. На фиг. 46 для простоты показана только одна пара информационных шин, хотя на практике в полупроводниковом запоминающем устройстве имеется много таких шин, расположенных, как показано на чертеже, рядом друг с другом. Показанные на фиг. 46 элементы MM1, MM2, MM3, MM4 образуют многослойную матрицу памяти и расположены в ее верхних и нижних слоях. МОП-транзистор M3 и МОП-транзистор M4 представляют собой МОП-транзисторы выборки локальных информационных шин. MM1, MM3 представляют собой запоминающие элементы нижнего слоя и соединены в нижнем слое с локальной информационной шиной LDL. MM2, MM4 являются запоминающими элементами верхнего слоя и соединены в верхнем слое с локальными информационными шинами LDU. Шина истока выполнена общей для верхних и нижних элементов. Шина LDL соединена с локальной информационной шиной D1 через транзистор M3. Шина LDU соединена с локальной информационной шиной D1 через транзистор M4. Группа из матрицы запоминающих элементов и МОП-транзистора выборки локальных информационных шин в дальнейшем

называется блоком памяти. В устройстве имеются также общие информационные шины D2 и D1. На информационнойшине D2 расположен вспомогательный блок памяти, состоящий из вспомогательных запоминающих элементов DMM1, DMM2, DMM3, DMM4 и МОП-транзисторов M1 и M2 выборки локальной информационной шины, которые соединены с другими элементами схемы также, как и основной блок памяти.

Временные диаграммы, иллюстрирующие работу схемы, показаны на фиг. 48 и 49. Для разрядки этих схем на общие информационные шины D1 и D2 используются МОП-транзисторы M5 и M6 предварительного разряда. Кроме того, эти общие информационные шины D1 и D2 соединены через МОП-транзисторы M7 и M8 с усилителями считывания (дифференциальными усилителями), состоящими из транзисторов M13, M14, M15, M16.

Для работы усилителей считывания они через транзисторы M11, M12 соединяются с источником питания. Для разрядки усилителей считывания они соединены с двух сторон с шинами D3 и D4 ввода/вывода через МОП-транзисторы M9 и M10.

Ниже описаны операции считывания, стирания и записи, выполняемые предложенным в этом варианте устройством. Это устройство отличается тем, что чтение и запись осуществляются переключением верхнего и нижнего запоминающих элементов. Кроме того, в приведенном ниже описании высокий уровень порогового напряжения запоминающего элемента верхней области обозначен как "1", а низкий уровень порогового напряжения обозначен как "0". Кроме того, высокому уровню соответствует также логическая "1", а низкому уровню соответствует логический "0". При необходимости логические уровни и пороговые напряжения могут быть, как очевидно, инвертированы.

До рассмотрения особенностей работы схемы, показанной на фиг. 47, поясняется, каким образом меняются напряжения, приложенные к запоминающим элементам при выполнении операций записи и стирания.

Для операции считывания на ячейку памяти, которая предназначена для считывания (в данном случае ячейка MM1) и на локальную информационную шину соответствующего вспомогательного элемента (в этом случае DMM1), подается напряжение предварительного заряда (например, 2,5 В), а к словарной

шине (W1) и шине (DW1) вспомогательного элемента памяти подается напряжение считывания (например, 2,5 В), в результате чего происходит включение MM1 и MM2 и разрядка локальной информационной шины (LDL) и локальной вспомогательной информационной шины (DLDL). На вспомогательном запоминающем элементе DMM1 заранее установлено состояние с пороговым напряжением в интервале от "1" и "0". Поэтому, когда в MM1 данные равны "0", напряжение на LDL быстро уменьшается, а когда эти данные равны "1", напряжение быстро уменьшается на DLDL, в результате чего на LDL поддерживается высокое напряжение.

При выполнении операции стирания напряжение на верхних LDL и нижних LDU информационных шинах и шине S истока соответствует высокому уровню (например, 5 В), при этом к словарной шине W1 приложено напряжение стирания (например -10 В), в результате чего происходит падение пороговых напряжений во всех запоминающих элементах.

При выполнении операции записи на шине (S) истока установлен высокий уровень напряжения (например, 5 В), на локальной информационной шине LDL запоминающего элемента (в данном случае MM1), в котором должна быть записана "1", установлено напряжение 0 В, а на локальную информационную шину LDU запоминающего элемента (в данном случае MM2), в который должен быть записан "0", подается высокое напряжение (например, 5 В) и на словарную шину W1 подается напряжение записи (например, 15 В). При приложении к словарным шинам и шинам данных MM1 напряжения 15 В пороговое напряжение возрастает. Такой процесс происходит при записи "1". При приложении к информационным шинам, словарным шинам, шинам истока и словарным шинам MM2 напряжения 10 В не происходит повышения порогового напряжения. Такой процесс происходит при записи "0".

В приведенном выше описании значения напряжений указаны только в качестве примера. Существенным является то, что во время записи пороговое напряжение повышается относительно приложенного напряжения записи на очень короткое время до предельно допустимого уровня, а во время стирания пороговое напряжение снижается относительно напряжения стирания на очень короткое время также до предельно допустимого уровня.

Напряжение на шине истока и на локальной информационнойшине запоминающего элемента, в который записывается "0", сохраняет повышенное пороговое напряжение на максимально возможном высоком по отношению к записи "1" уровне, а во время считывания напряжение словарной шины и напряжение локальной информационной шины ограничивают повышение порогового напряжения максимально возможным низким уровнем.

Ниже подробно описана операция считывания, выполняемая с использованием элементов MM1 и MM2 памяти и вспомогательных элементов DMM1, DMM2. При этом предполагается, что информация "0" записана в нижнюю ячейку MM1 памяти, а "1" записана в верхнюю ячейку MM2 памяти.

Временная диаграмма операции считывания показана на фиг. 48. Вначале LD1 и DLD1 находятся под напряжением высокого уровня, локальная информационная шина, выбранная МОП-транзистором M3, и локальная вспомогательная информационная шина, выбранная МОП-транзистором M1, включены, локальная информационная шина LDL соединена с общей информационной шиной D1, локальная вспомогательная информационная шина DLDL соединена с общей информационной шиной D2. Затем на PDG задается напряжение высокого уровня, МОП-транзисторы M5, M6 перезарядки переключаются и происходит перезарядка LDL, DLDL, D1 и D2. На SADG также задан высокий уровень напряжения, усилитель считывания и МОП-транзистор разрядки M9, M10 включены, и напряжение на обоих входах D3, D4 усилителя считывания снижается до потенциала "земли". Затем включают словарную шину W1 и вспомогательную словарную шину DW1, и информационная шина начинает разряжаться. При этом в запоминающем элементе MM1 записан "0", и его пороговое напряжение ниже, чем вспомогательного запоминающего элемента DMM1, а более быстрое падение напряжения на D1 чем на D2 определяет быструю разрядку. Затем на T1G задается высокое напряжение, МОП-транзисторы M7, M8 включаются, и по общим информационным шинам D1 и D2 напряжение поступает на усилитель считывания. После этого напряжение на SAP снижается до низкого уровня, а на SAN повышается до высокого уровня, в результате чего происходит включение МОП-транзисторов M11 и M12 и включение усилителя считывания, а разность напряжений на двух шинах

ввода/вывода D3 и D4 возрастает до напряжения источника питания. Такой процесс обеспечивает считывание данных из нижнего запоминающего элемента MM1, причем считывание состояния верхнего элемента MM2 памяти происходит аналогичным образом. В это время в качестве МОП-транзисторов выборки локальных информационных шин (шины сигналов LD2, DLD2) используются транзисторы M2, M4. Словарная шина W1 и вспомогательная словарная шина DW включаются, и начинается разрядка информационной шины, поскольку из-за того, что пороговое напряжение для MM2 выше, чем пороговое напряжение DMM4, разрядка D1 происходит более медленно, чем D2, и напряжение на ней остается высоким.

Ниже описан процесс выполнения операции стирания. До начала стирания во всех ячейках выполняется запись. Такая запись необходима для того, чтобы предотвратить чрезмерное стирание ячеек (пороговое значение не должно превышаться) при непрерывной записи "0". На LD1 и LD2 задается высокое напряжение, МОП-транзисторы M1, M2 выборки включают локальные информационные шины, и верхние и нижние локальные информационные шины LDL и LDU соединяются с общей информационной шиной D1. На PDD подается низкое напряжение, а на PDG подается высокое напряжение, МОП-транзисторы M5, M6 предварительного разряда информационной шины находятся во включенном состоянии. На словарную шину W1 в точку, где напряжение между LDL и LDU достигает высокого уровня, подается напряжение записи.

Напряжение на PDD повышается, и транзисторы M1, M2, M5 включаются. На словарную шину W1 в точку с высоким напряжением между верхними и нижними информационными шинами LDL и LDU подается напряжение стирания. Такой процесс позволяет одновременно стирать информацию как в верхних, так и в нижних элементах.

Ниже описана операция записи. При этом предполагается, что в нижнем запоминающем элементе MM1 записан "0", а в верхнем запоминающем элементе MM2 записана "1". Во время записи напряжение на верхних и нижних информационных шинах должно быть разным. Однако во время записи выбор элемента памяти должен быть таким, чтобы напряжение, приложенное к локальной информационной шине, было постоянным (неизменным). Поэтому

запись в верхние и нижние ячейки должна быть выполнена отдельно. Во избежание неблагоприятного воздействия на запоминающий элемент процесса записи в другую ячейку на локальную информационную шину подается переменное напряжение. На шину D3 ввода/вывода усилителя считывания подается низкое напряжение, на LD2 подается высокое напряжение, МОП-транзистор (M4) выборки локальной информационной шины включен, а верхние локальные информационные шины LDU установлены в состояние низкого уровня. Затем на LD2 подается низкое напряжение, M4 выключается, и на шину подается переменное напряжение. Затем на шинах D3 и LDI устанавливается высокое напряжение, МОП-транзистор M3 выборки локальной информационной шины включается, и напряжение на нижних локальных шинах LDL передачи повышается. После этого на словарнойшине W1 устанавливается высокое напряжение записи, и при этом M3 остается включенным. Такой процесс позволяет записать "0" в MM1. В этом случае M2 должен находиться в таком состоянии, чтобы напряжение на LDU возросло, а запись "1" в MM2 была невозможна.

Затем напряжение на LD1 снижается, и к LDL, при переключении M3, прикладывается переменное напряжение. После этого напряжение на D3 снижается, а на LD2 повышается, транзистор M4 включается, и напряжение на LDU снижается. При этом на W1 подается напряжение записи. Этим напряжением в MM2 записывается "1". При этом MM1 включен, а напряжение LDL не меняется, и в MM1 записывается "0".

Этот вариант выполнения изобретения отличается тем, что локальные информационные шины для каждого из расположенных один за другим запоминающих элементов соединены с одной общей информационной шиной МОП-транзистором выборки и переключаются в определенном порядке во время операции записи и считывания, что исключает необходимость в увеличении числа общих информационных шин или усилителей считывания, даже если ячейки памяти образуют многослойную структуру, и позволяет не увеличивать площадь поверхности (или размеры) периферийных элементов интегральной схемы.

Запоминающий элемент в этом варианте содержит два слоя, однако его можно выполнить и трехслойным. Кроме того, локальную информационную шину можно разместить на плоскости, а не на многослойной структуре.

Возможно также комбинированное решение с размещением многослойной структуры локальных информационных шин на плоской поверхности.

Двадцать четвертый вариант

Ниже со ссылками на фиг. 50 описаны схемы считывания, записи и стирания полупроводникового запоминающего устройства согласно двадцать четвертому варианту выполнения изобретения. Этот вариант отличается от показанного на фиг. 46 тем, что запоминающие элементы выполнены во всех точках пересечения словарных шин и информационных шин.

В настоящее время известны способы взаимного расположения усилителя считывания и информационной шины таким образом, чтобы информационные шины с обеих сторон усилителя считывания были выполнены либо прямыми, либо согнутыми в одном и том же направлении. Преимущество прямой формы шин состоит в том, что запоминающие элементы можно расположить во всех точках пересечения информационных шин и словарных шин, что обеспечивает высокую степень интеграции, однако у нее есть и недостаток, связанный с высоким уровнем шума, генерируемого в словарных шинах. Преимуществом согнутой формы шин, наоборот, является низкий уровень шума в словарных шинах, а ее недостатки связаны с тем, что при такой форме шин запоминающие элементы невозможно разместить во всех точках пересечения информационных шин и словарных шин. В этом варианте изобретения запоминающие элементы расположены во всех точках пересечения информационных шин и словарных шин, при этом информационные шины выполнены согнутыми. При считывании из запоминающего элемента ММ1 запоминающие элементы ММ7 и ММ8 также возбуждаются. Однако МОП-транзисторы M7 и M8 выборки локальных информационных шин при этом выключены, и на общей информационнойшине D2 никаких помех не возникает. Запоминающий элемент при считывании является энергонезависимым, и поэтому никакого изменения в данных, записанных в ММ7 и ММ8, не происходит. Преимуществом одноэлектронных блоков памяти является очень небольшие по размерам структуры, а их

недостаток связан с работой на малом токе и повышенной чувствительностью к шуму. В предлагаемом в изобретения устройстве информационные шины выполнены согнутыми и не чувствительны к шуму, и поэтому такой запоминающий элемент обладает преимуществами высокого уровня интеграции.

5 В этом варианте считывание информации из всех запоминающих элементов по одной и той же словарной шине выполняется за четыре шага. Однако запись информации может быть выполнена за два шага, как и в двадцать третьем варианте выполнения, а стирание – за один шаг, т.к. общие информационные шины выполнены раздельными.

10 В этом варианте использованы двухслойные запоминающие элементы, при этом, однако, их можно выполнить с тремя или большим количеством слоев. Локальные информационные шины можно разместить на плоскости, не используя многослойную структуру. Возможна также комбинация таких решений с многослойной структурой локальных информационных шин, 15 размещенных на плоскости. В предложенном устройстве достаточно использовать только одну локальную информационную шину. Принципиальным аспектом является размещение запоминающих элементов во всех пересечениях соответствующих общих информационных шин и словарных шин.

20 Работа устройства в соответствии с данным вариантом была рассмотрена выше на примере использования одноэлектронной памяти, однако при энергонезависимом считывании из ячейки памяти другие элементы можно выполнить в виде элементов памяти с плавающим затвором или блоков флэш-памяти.

Двадцать пятый вариант

25 Схема ввода/вывода и проверки полупроводникового запоминающего устройства в соответствии с двадцать пятым вариантом показана на фиг. 51. Схема ввода/вывода и проверки содержит схему переноса, которая передает данные от усилителя считывания к сдвиговому регистру, схему А11 (дискриминатор) определения всех "0", проверяющую, действительно ли все 30 данные при считывании равны "0", схему А11 (дискриминатор) определения всех "1", которая определяет, действительно ли все считываемые данные равны "1", и сдвиговый регистр, который временно хранит данные с усилителя считывания и

затем последовательно выдает эти данные на внешнее устройство. Сдвиговый регистр используется для того, чтобы вводить записываемые данные из внешней схемы и посыпать их для записи к ячейкам памяти. Сдвиговый регистр также определяет состояние флагка, свидетельствующего об окончания записи при выполнении операции проверки. В устройстве имеется четыре сдвиговых регистра, соответствующих верхним и нижним ячейкам памяти, по два сдвиговых регистра для каждой общей информационной шины.

Схемы сдвиговых регистров 2, 3 и 4 на фиг. 51 не показаны, а показаны только сигнальные шины. В качестве матрицы ячеек памяти используется структура, показанная в двадцать четвертом варианте выполнения изобретения, при этом, однако, можно также использовать и другие структуры.

Ниже приведено описание операций считывания, записи, проверки стирания и проверки записи.

Сначала рассмотрена операция считывания. При считывании данных из запоминающего элемента MM1 по процедуре, описанной для двадцать третьего и двадцать четвертого вариантов выполнения изобретения, информация появляется на шине D3 ввода/вывода усилителя считывания. Затем на шине P0 переноса задается высокое напряжение, а на шине P1 задается низкое напряжение, и включаются транзисторы M21 и M22. Если информация в D3 равна "0", то M23 включен, и этот "0" через M21 и M23 появляется на шине D5 ввода/вывода сдвигового регистра. Если информация в D3 равна "1", то M24 включен, и эта информация появляется на шине ввода/вывода в виде "1" сдвигового регистра через M22 и M24. Затем на SRMF подается низкое напряжение, и выключается главная обратная связь для сдвигового регистра 1. При высоком напряжении сигнала на SRI1 включается M39, и данные поступают на сдвиговый регистр 1. При высоком напряжении на SRMF1 включается M41, и данные удерживаются в регистре с помощью главной обратной связи сдвигового регистра 1. Такая процедура повторяется для MM2, MM7 и MM8, и соответствующие данные поступают на сдвиговые регистры 2, 3 и 4. В завершение SRMF и SRSF1, SRSF2, SRSF3 и SRSF4 поочередно инвертируются, при этом все четыре сдвиговых регистра работают одновременно и выдают информацию на внешнее устройство.

Далее рассмотрена операция записи. Данные для ввода в сдвиговый регистр находятся в DI1, DI2, DI3 и DI4, поочередно инвертируются в SRMF и SRSF1, SRSF2, SRSF3 и SRSF4, при этом все четыре сдвиговых регистра работают одновременно, и данные передаются в соответствующую информационную шину. При окончании передачи данных на SRSF устанавливается низкое напряжение, а на SRMF1, SRSF2, SRSF3 и SRSF4 устанавливается высокое напряжение, и обратная связь образуется только в ведущей части устройства.

После этого шага напряжение на SRO1, SRI1, T2G поднимается, как описано для второго варианта выполнения изобретения, M44, M39 и M25 включаются, данные передаются на шину D3 ввода/вывода усилителя считывания, и выполняется запись.

Ниже рассмотрена операция проверки стирания. Проверка стирания заключается в считывании информации из запоминающих элементов, в которых она была стерта, подтверждении (проверке) того, что стирание было завершено, и повторном стирании тех ячеек памяти, в которых стирание было выполнено не до конца. Стирание может осуществляться одновременно в обеих, верхних и нижних, ячейках памяти, как во втором варианте выполнения изобретения, но при стирании в режиме проверки оно должно выполняться отдельно для верхних и нижних запоминающих элементов. Вначале осуществляется считывание и ввод данных в сдвиговый регистр. Затем на A0G устанавливается высокое напряжение, включаются M31, M33, и шины D5, D6 ввода/вывода сдвигового регистра заземляются. После установки на AL0 высокого напряжения, создается высокоомное состояние. Затем на SRO1 устанавливается высокое напряжение, включается M44, и данные выводятся из сдвигового регистра 1. Данные из сдвиговых регистров с 2-ого по 4-ый последовательно выводятся во внешнюю схему точно таким же образом. При всех данных на выходе, равных "0", высокое напряжение на AL0 поддерживается без выключения M32, M34. Если даже один бит из этих выходных данных равен "1", то M32 включается, и напряжение на AL0 падает. Напряжение на AL0 является, таким образом, контрольным, а его падение означает, что стирание выполнено не полностью.

Ниже описана операция проверки записи. Подтверждение того, что все считанные данные равны "0", достаточно при выполнении проверки стирания,

однако при проверке записи данные записи для каждого запоминающего элемента отличаются друг от друга, и поэтому необходимо иметь граф, который показывает, закончена ли запись для каждого запоминающего элемента. В этом варианте изобретения этот граф записан в сдвиговый регистр. Во время 5 первоначальной операции записи данные, записанные в сдвиговый регистр, представляют собой инвертированные данные (этот метод удобен из-за необходимости согласования напряжений на локальных информационных шинах со значениями сигналов сдвигового регистра). Эти инвертированные данные интерпретируются как "1" на граfe окончания записи. Иначе говоря, "0" 10 обозначает, что запись "1" выполнена не полностью, с другой стороны, "1" обозначает, что запись "1" выполнена полностью или что необходимости начинать запись сначала не было (записан "0"). При этом чтение выполняют после того, как была выполнена запись, и данные сдвигового регистра перезаписывают как "1" только при считывании "1", а проверка может быть 15 выполнена в том случае, когда все данные сдвигового регистра равны "1". Данные сдвигового регистра перезаписываются в "1" только в том случае, когда считанные данные равны "1". Во время считывания после окончания записи в отличие от обычного считывания на P1 установлено низкое напряжение, но на P0 высокое напряжение не установлено. Высокое напряжение передается через 20 транзисторы M22 и M24 при считывании "1", однако при считывании "0" M21 и M24 выключены, и данные хранятся в сдвиговом регистре. При окончании 25 обновления флагка, свидетельствующего об окончании записи, выполняется проверка того, являются ли все данные "1". Для этого сначала на A1G устанавливается высокое напряжение, при этом транзисторы M35, M37 включаются, и выполняется предварительная зарядка шин D5 и D6 30 ввода/вывода сдвигового регистра. Затем после снижения напряжения на AL1 схема переходит в высокоомное состояние. После увеличения напряжения на SRO1 данные из сдвигового регистра выводятся во внешнюю схему. При этом во внешнюю схему последовательно выводятся таким же образом и данные со сдвиговых регистров со 2-го по 4-ый. Если все выводимые данные будут равны "1", то низкое напряжение на AL1 поддерживается без переключения транзисторов M36, M38. Если даже один из этих выходов будет равен "1",

транзистор M32 включится, а напряжение на A11 повысится. Напряжение на A11 поэтому является контрольным, и его повышение показывает, что запись выполнена не полностью.

В этом варианте перезапись значения флагка, свидетельствующего об окончании записи, проводится при использовании одной стороны схемы переноса только тогда, когда считываемые данные равны "1". При этом, подавая сигнал от флагка, свидетельствующего об окончании записи, на шину входа/выхода сдвигового регистра размеры периферийных схем можно не увеличивать. Кроме того, используя пороговое напряжение вспомогательного элемента в качестве опорного для операции считывания, операции проверки записи и операции проверки стирания, можно создать устройство, обладающее высокой устойчивостью к шуму.

В качестве сдвигового регистра, помимо устройства, структура которого показана на фиг. 51, можно использовать любое устройство, обеспечивающее статическое хранение информации. Кроме того, при дополнительном использовании ключа для передачи данных к ячейке памяти в качестве сдвигового регистра можно использовать динамический сдвиговый регистр.

Двадцать седьмой вариант

Общая схема устройства согласно двадцать седьмому варианту выполнения изобретения изображена на фиг. 52. Полупроводниковое запоминающее устройство в соответствии с этим вариантом по существу совпадает с устройством согласно двадцать шестому варианту и дополнено дешифратором, задающим устройством и схемой контроля. В центре этого устройства расположено большое количество блоков памяти, один из которых представляет собой вспомогательный блок памяти. Ниже описана работа устройства. Сначала на вход предварительного дешифратора команды (преддешифратора) подается команда, указывающая тип операции: считывание, стирание или запись. Затем напряжение, соответствующее каждой такой команде, передается в каждое задающее устройство через коммутатор напряжения по команде, которая подана на его вход. Затем по сигналу, который подается на вход дешифратора адреса, выбирается ячейка памяти. При подаче сигнала на вход по временной диаграмме, указанной для двадцать пятого варианта выполнения изобретения, в

соответствующей ячейке выполняется операция считывания, стирания или записи.

Ниже подробно описан способ выбора запоминающего элемента. Адресный сигнал поступает на вход преддешифратора адреса и в дешифратор локальной информационной шины. Сигналы от преддешифратора адреса разбиты на две группы сигналов, которые поступают на входы дешифратора блока и дешифратора словарной шины. Этот процесс позволяет выбрать в одном блоке одну словарную шину.

Выбор верхних и нижних информационных шин выполняется с использованием сигналов от дешифратора локальной информационной шины. Верхние и нижние локальные информационные шины могут быть выбраны отдельно или одновременно в порядке, который определен преддешифратором команды. Этот вариант изобретения позволяет создать крупномасштабное полупроводниковое запоминающее устройство.

Двадцать восьмой вариант

Структурная схема двадцать восьмого варианта выполнения изобретения показана на фиг. 53. В этом варианте имеется один дополнительный сдвиговый регистр, который добавлен к сдвиговому регистру из двадцать седьмого варианта выполнения изобретения и который позволяет выполнять операцию регенерации данных.

Таким образом, в настоящем изобретении согласно приведенному выше описанию предлагается малогабаритное полупроводниковое запоминающее устройство с высоким уровнем интеграции и способ управления им.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Полупроводниковое запоминающее устройство, содержащее блоки ячеек памяти, каждый из которых состоит из большого количества ячеек памяти, расположенных в точках пересечения пересекающихся словарных шин и информационных шин, и периферийной схемы, подающей сигналы к словарным шинам и информационным шинам, причем ячейка памяти состоит из подложки, первой многослойной области, расположенной на подложке, изолирующей пленки, второй многослойной области, канальной области, соединяющей друг с другом первую и вторую области, электрода затвора, который создает 10 электрическое поле в канальной области, и области захвата электрического заряда, при этом хранение информации осуществляется изменением порогового напряжения полупроводника при контролируемом изменении количества носителей заряда в области захвата электрического заряда и при этом по крайней мере часть периферийной схемы представляет собой комплементарную 15 МОП-структуру, состоящую из п-канальных МОП-транзисторов и р-канальных МОП-транзисторов.

2. Полупроводниковое устройство по п. 1, в котором область захвата электрического заряда образована мелкими частицами из металла или полупроводникового материала со средним размером до 10 нм.

26 3. Полупроводниковый элемент памяти по п. 1, в котором область канала представляет собой тонкий слой полупроводника, средняя толщина которого не превышает 10 нм.

4. Полупроводниковое запоминающее устройство по п. 1, в котором канальная область выполняет функцию области захвата электрического заряда.

25 5. Полупроводниковое запоминающее устройство по п. 1, в котором по крайней мере первая или вторая области сформированы в подложке.

6. Полупроводниковый элемент памяти по п. 1, в котором первая область или область стока выполнена из поликристаллического кремния.

7. Полупроводниковый элемент памяти по п. 1, в котором минимальное значение эффективной ширины канальной области не превышает 20 нм.

5 8. Полупроводниковый элемент памяти по п. 1, в котором блок, состоящий из большого количества ячеек памяти, представляет собой многослойную структуру из двух или более слоев.

10 9. Полупроводниковое запоминающее устройство по п. 8, в котором две ячейки памяти первой области, расположенные одна над другой, соединены с одной и той же информационной шиной через соответствующий транзистор выборки.

15 10. Полупроводниковое запоминающее устройство по п. 1, которое имеет схему управления, выполняющую три операции, включая первую операцию, заключающуюся в подаче напряжения записи к ячейке памяти, вторую операцию, заключающуюся в считывании информации, сохраненной в ячейке памяти после выполнения первой операции, и третью операцию, заключающуюся в повторной подаче к ячейке памяти напряжения записи в том случае, если при выполнении второй операции будет установлено, что информация в ячейку памяти была записана не в полном объеме.

20 11. Полупроводниковое запоминающее устройство по п. 10, имеющее схему хранения информации, которая хранит записанную в ячейке памяти информацию (или перечень элементов для записи информации "0" или информации "1") во внешней части ячейки памяти, при этом операция записи выполняется вторично, если будет установлено, что информация, которая хранится в схеме хранения, после приложения напряжения записи не соответствует состоянию информации полупроводникового элемента памяти.

12. Полупроводниковое запоминающее устройство по п. 10, в котором за счет подачи на ячейку памяти разных по величине напряжений записи в этой ячейке можно хранить два или более битов информации.

5 13. Полупроводниковое запоминающее устройство по п. 1, в котором комплементарная МОП-структура содержит МОП-транзистор с трехслойной карманной структурой.

14. Полупроводниковое запоминающее устройство, имеющее многослойную структуру и содержащее первую локальную информационную шину, первый промежуточный слой на первой локальной информационнойшине, шину истока на первом промежуточном слое, второй промежуточный слой на шине истока, вторую локальную информационную шину на втором промежуточном слое, первую канальную область, соединенную с шиной истока и первой локальной информационной шиной и расположенную на боковой стороне многослойной структуры, и вторую канальную область, соединенную со второй шиной истока и второй локальной информационной шиной и расположенную на боковой поверхности многослойной структуры, область захвата электрического заряда, окруженную потенциальным барьером и расположенную рядом или внутри области канала, и словарную шину, соединенную с областью канала через изолирующую пленку затвора и два полупроводниковых элемента, расположенных над точками пересечения и под точками пересечения локальной информационной шины и словарной шины, ; в которых хранение информации осуществляется изменением порогового напряжения полупроводника за счет контролируемого изменения количества носителей в области захвата электрического заряда, при этом полупроводниковые элементы памяти объединены последовательно в матрицу большим количеством локальных информационных шин и словарных шин, а первая и вторая локальные информационные шины соединены с одной и той же общей информационной шиной через транзисторы выборки.

15. Полупроводниковое запоминающее устройство по п. 14, в котором транзисторы выборки имеют разные электроды затвора.

16 5. Полупроводниковое запоминающее устройство по п. 14, в котором общая информационная шина перекрывает первую и вторую локальные информационные шины.

16 15. Полупроводниковое запоминающее устройство по п. 14, в котором контактное отверстие, соединяющее общую информационную шину с транзистором выборки, расположено между контактными отверстиями, соединяющими первую и вторую локальные информационные шины с транзистором выборки.

15 16. Полупроводниковое запоминающее устройство по п. 14, в котором первая и вторая локальные информационные шины имеют различные электроды затвора и соединены с одной и той же общей информационной шиной отдельной структурой диффузионного слоя для транзистора выборки и в котором контактное отверстие для общей информационной шины и этого отдельного участка диффузионного слоя проходит по крайней мере через одну локальную информационную шину.

20 17. Полупроводниковое запоминающее устройство по п. 14, имеющее вспомогательную информационную шину, которая выполнена из такого же материала, что и основная локальная информационная шина, расположена параллельно ей, имеет по существу равную с ней ширину и не используется для хранения информации.

25 18. Полупроводниковое запоминающее устройство по п. 14, имеющее изолирующую пленку, выполненную на внутренней стенке контактного отверстия шины истока или локальной информационной шины.

21. Полупроводниковое запоминающее устройство по п. 14, в котором полупроводниковый материал, нанесенный на боковую поверхность изолирующей пленки, отделяющей шину истока от локальной информационной шины, имеет окисленную изолирующую пленку.

5 22. Полупроводниковое запоминающее устройство по п. 14, в котором имеется полупроводниковый элемент, выполненный на поверхности полупроводниковой подложки, и в котором контактное отверстие перекрывает электрод затвора или диффузионный слой полупроводникового элемента, выполненного на полупроводниковой подложке, и по крайней мере шину истока 10 или локальную информационную шину.

15 23. Полупроводниковое запоминающее устройство по п. 14, в котором имеется вспомогательная структура, которая не используется в качестве локальной информационной шины, но изготовлена из того же материала, что и локальная информационная шина, и структура, в которой контактное отверстие для словарной шины расположено на этой вспомогательной структуре.

20 24. Полупроводниковое запоминающее устройство по п. 14, в котором имеется вспомогательная структура, которая не используется в качестве локальной информационной шины, но изготовлена из того же материала, что и локальная информационная шина, и изолирующая пленка, перекрывающая на один мкм или больше в продольном направлении боковую сторону изолирующей пленки вспомогательной структуры.

25 25. Полупроводниковое запоминающее устройство по п. 14, в котором шина от источника питания, по которой напряжение подается в схему считывания информации из полупроводникового элемента памяти, проходит параллельно словарной шине.

26. Полупроводниковое запоминающее устройство по п. 14, в котором в качестве общей информационной шины используется второй слой снизу или верхний слой изготовленных из металла межсоединений.

5 27. Полупроводниковое запоминающее устройство по п. 14, в котором имеется схема считывания информации из полупроводникового элемента памяти, которая соединена с общей информационной шиной через слой изготовленных из металла межсоединений, расположенный ниже общей информационной шины.

10 16 28. Полупроводниковое запоминающее устройство по п. 14, в котором локальная информационная шина соединена с общей информационной шиной МОП-транзистором.

15 29. Полупроводниковое запоминающее устройство по п. 14, в котором первая и вторая локальные информационные шины соединены с одной и той же общей информационной шиной транзисторами выборки, которые имеют разные электроды затвора, при этом на вход первой и второй локальных информационных шин через соответствующие электроды затворов подаются взаимоинверсные сигналы.

20 25 30. Полупроводниковое запоминающее устройство по п. 14, имеющее устройство управления, предназначенное для выполнения первой операции стирания информации, хранящейся в полупроводниковом элементе памяти, второй операции повторного стирания информации, оставшейся в этом полупроводниковом элементе памяти при неполном стирании информации во время первой операции стирания, третьей операции записи информации "0" или "1" в этот полупроводниковый элемент памяти, четвертой операции повторной записи информации в этот полупроводниковый элемент памяти при неполной записи информации во время третьей операции и пятой операции считывания информации, хранящейся в полупроводниковом элементе памяти, а также имеющее регистр для хранения информации "0" или "1" во внешней части

полупроводникового устройства, и устройство для хранения перечня полупроводниковых элементов памяти, в которых стирание информации было выполнено полностью, или перечня полупроводниковых элементов памяти, в которых стирание информации после первой операции стирания было выполнено не полностью, и устройство для хранения информации, записанной в полупроводниковом элементе памяти во время третьей операции записи, и устройство для хранения перечня полупроводниковых элементов памяти, в которых стирание информации было выполнено полностью или перечня полупроводниковых элементов памяти, в которых после третьей операции стирание информации было выполнено не полностью, и устройство, использующее этот регистр для хранения информации, считанной с полупроводникового элемента памяти во время пятой операции считывания.

31. Полупроводниковое запоминающее устройство по п. 14, которое выполняет первую операцию записи в полупроводниковый элемент информации "0" или "1", вторую операцию повторной записи информации в полупроводниковый элемент при неполной записи информации во время первой операции записи и которое имеет регистр для хранения перечня полупроводниковых элементов памяти, в которые информация была записана полностью, или перечня полупроводниковых элементов памяти, в которые информация была записана не полностью после первой операции записи, и которое имеет устройство для повторной записи значений регистра в полупроводниковые элементы памяти, в которые информация была записана полностью.

32. Полупроводниковое запоминающее устройство по п. 31, в котором устройство для перезаписи значений регистра, выполняемой в том случае, когда информация, свидетельствующая о полной записи информации, представляет собой напряжение высокого уровня, состоит из одного р-канального МОП-транзистора и одного п-канального МОП-транзистора и в котором исток п-канального МОП-транзистора соединен с источником напряжения высокого уровня, сток р-канального МОП-транзистора соединен со стоком п-канального МОП-транзистора, информация, свидетельствующая о полной записи

5 информации, подается на вход затвора п-канального МОП-транзистора, сток п-канального МОП-транзистора соединен с входом регистра, хранящего информацию, свидетельствующую о том, что запись информации была выполнена полностью, а сигнал управления подается на вход затвора р-

канального МОП-транзистора.

10 33. Полупроводниковое запоминающее устройство по п. 31, в котором устройство для перезаписи значений регистра, выполняемой в том случае, когда информация, свидетельствующая о полной записи информации, представляет собой напряжение низкого уровня, состоит из одного п-канального МОП-транзистора и одного р-канального МОП-транзистора и в котором исток р-канального МОП-транзистора соединен с источником напряжения низкого уровня, сток п-канального МОП-транзистора соединен со стоком р-канального МОП-транзистора, информация, свидетельствующая о полной записи информации, подается на вход затвора р-канального МОП-транзистора, сток р-канального МОП-транзистора соединен со входом регистра, хранящего

15 информацию, свидетельствующую о том, что запись информации была выполнена полностью, а сигнал управления подается на вход затвора п-канального МОП-транзистора.

20 34. Полупроводниковое запоминающее устройство, которое выполненное на подложке и состоящее из большого количества ячеек памяти для хранения информации путем накапливания или разрядки электрических зарядов и в котором группа из двух ячеек памяти расположена вертикально на подложке, причем эти ячейки памяти соответствующим образом соединены с информационными шинами и словарными шинами, и в котором при выборе по крайней мере одной из всех ячеек памяти адресный сигнал поступает на вход преддешифратора адреса и дешифратора локальной информационной шины, причем по сигналу от преддешифратора адреса выбирается одна словарная шина, по сигналу от дешифратора локальной информационной шины выбирается информационная шина, а при выборке пригодной для использования информации информационные шины для группы из двух вертикально

25

30

расположенных ячеек памяти в одних случаях выбираются одновременно, а в других случаях выбираются раздельно.

РЕФЕРАТ

В заявке описано полупроводниковое запоминающее устройство. В таком устройстве ячейку памяти с небольшой площадью поверхности изготавливают формированием расположенных друг над другом шин истока и информационных

5 шин и выполнением проходящих вверх и вниз каналов. Локальные информационные шины для каждой многослойной (в вертикальном направлении) ячейки памяти соединяют с общей информационной шиной через отдельные МОП-транзисторы выборки, ограничивая размеры устройства памяти за счет совместного использования периферийных схем, таких, как общие

10 информационные шины и усилители считывания, и выполняя операции считывания и записи мультиплексным способом с временным уплотнением.

Кроме того, в предлагаемых в изобретении многослойных структурах и ячейках памяти (ячейка с плавающим затвором) используют согнутые информационные шины, которые не оказывают отрицательного влияния на процесс считывания

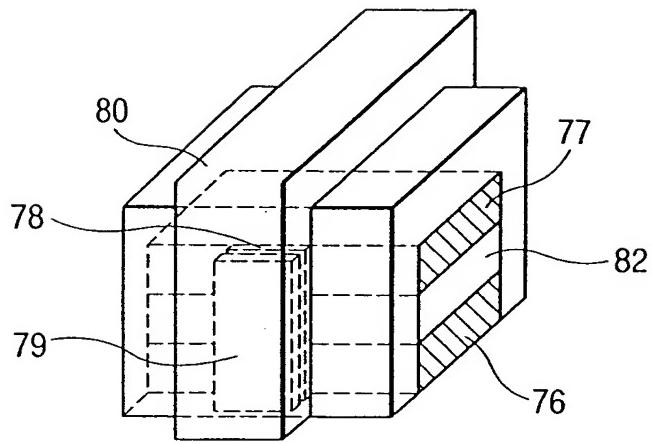
15 информации и позволяют размещать ячейки памяти во всех точках пересечения словарных шин и информационных шин. Повышенная устойчивость к влиянию шума обеспечивается заданием стандартного порогового напряжения для идентичных вспомогательных ячеек во время всех операций проверки

считывания, записи и стирания. Для временного хранения записанной в ячейку

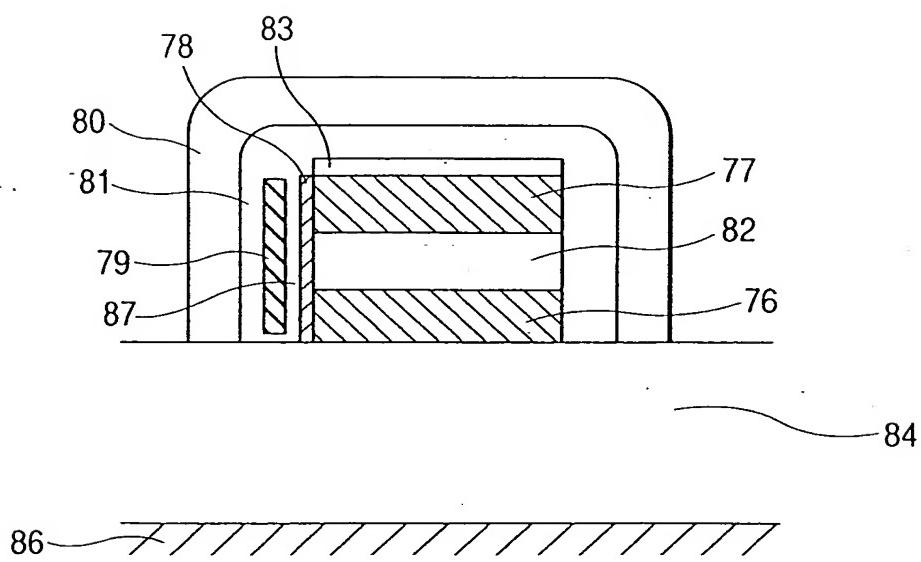
20 памяти информации используется регистр с флагком, который показывает окончание записи во время проверки записи. Для изменения значений

) показывающего окончание записи флагка используется схема, содержащая один п-МОП-транзистор.

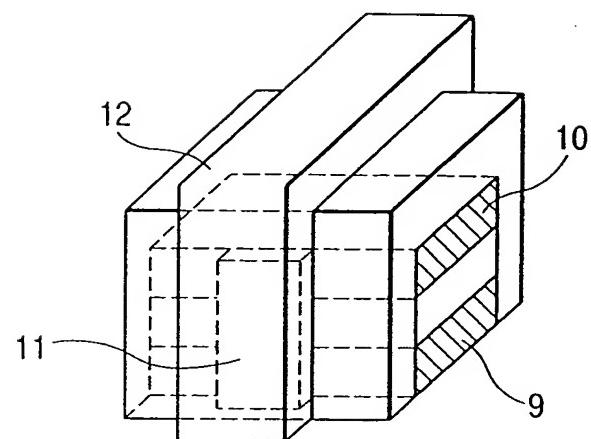
ФИГ. 1(а)



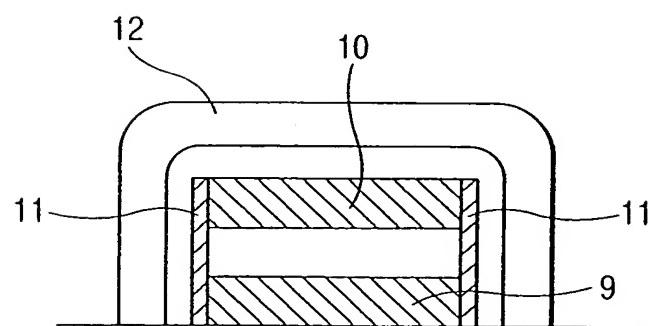
ФИГ. 1(б)



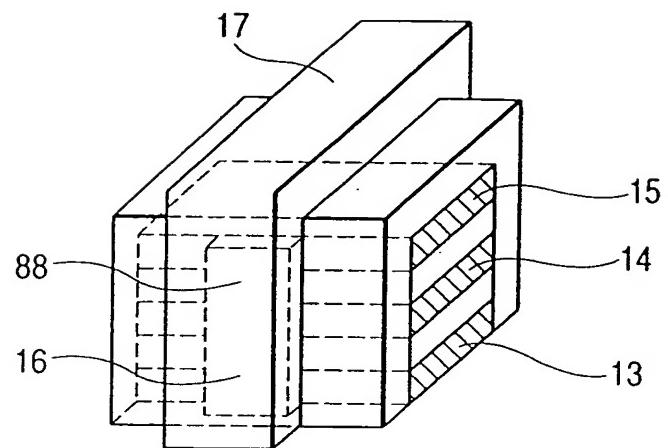
ФИГ. 2(а)



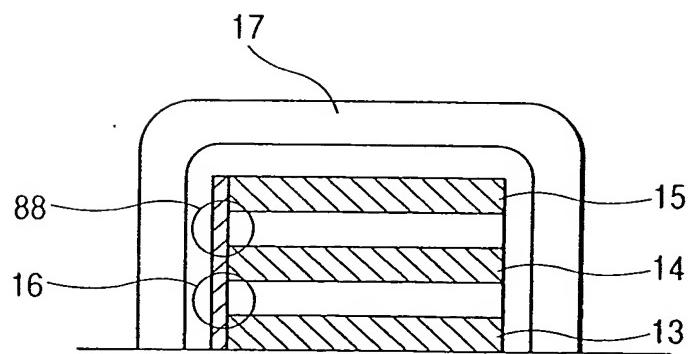
ФИГ. 2(б)



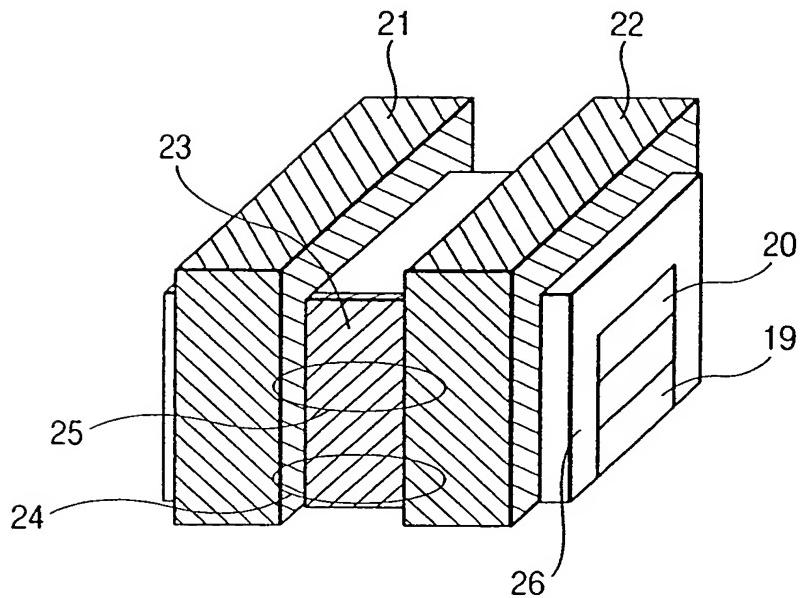
ФИГ. 3(а)



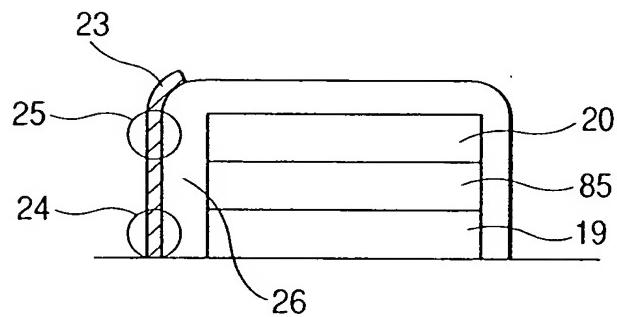
ФИГ. 3(б)



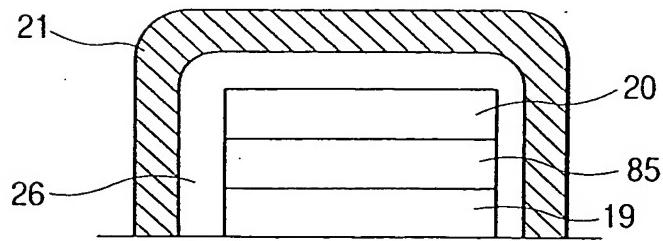
ФИГ. 4(а)



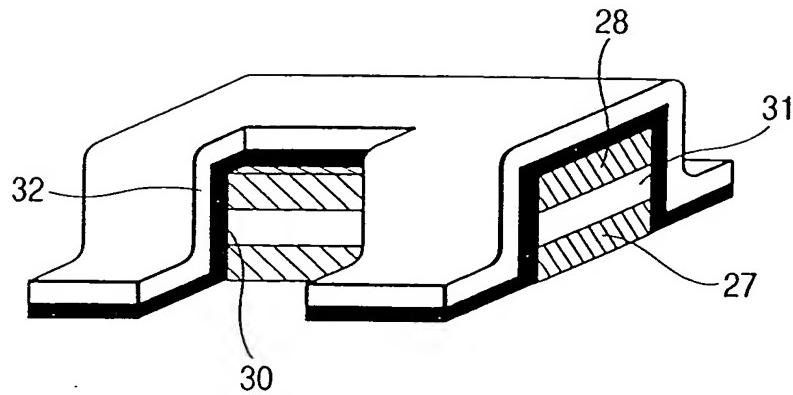
ФИГ. 4(б)



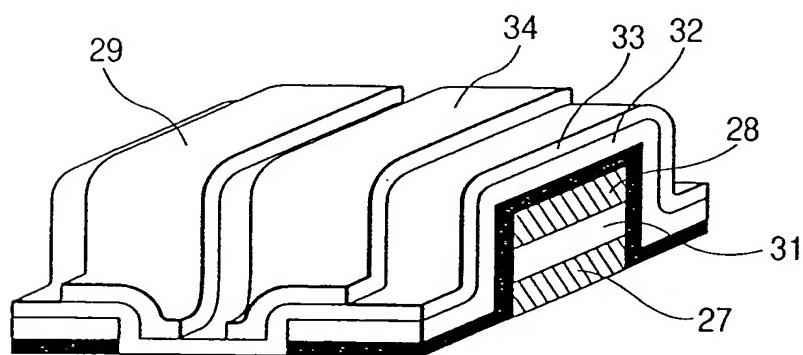
ФИГ. 4(в)



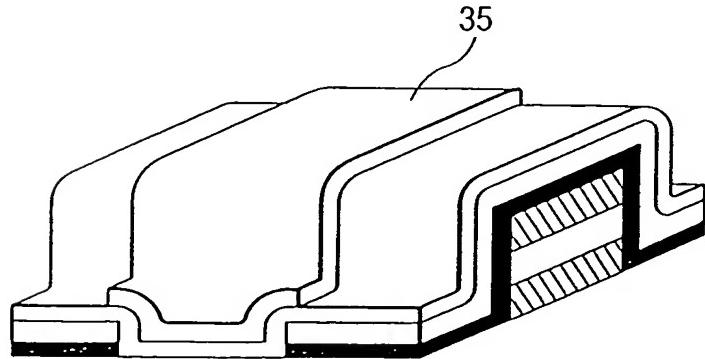
ФИГ. 5(а)



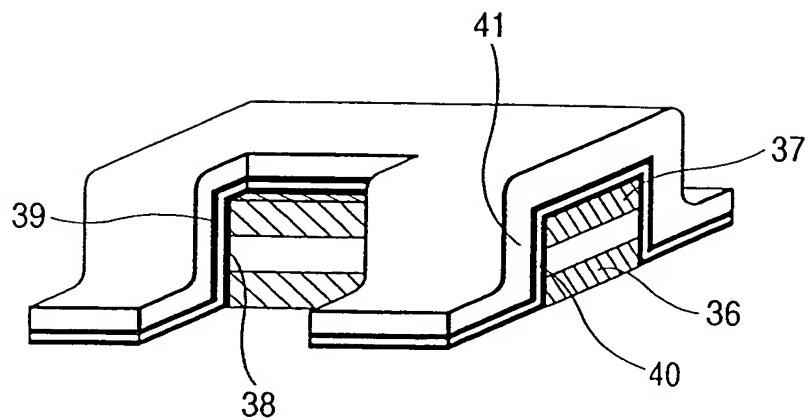
ФИГ. 5(б)



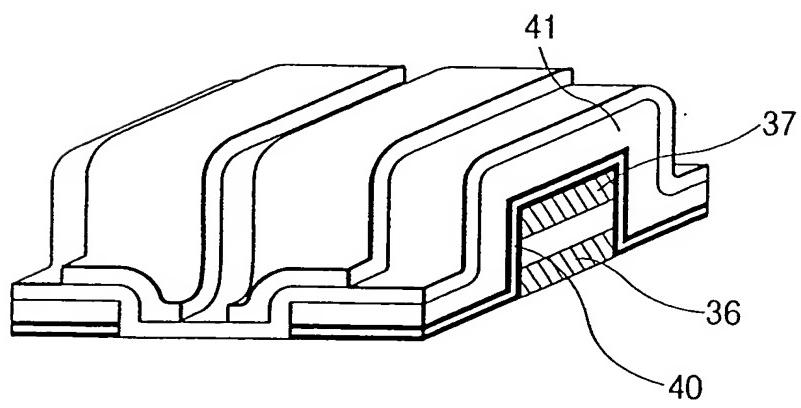
ФИГ. 6



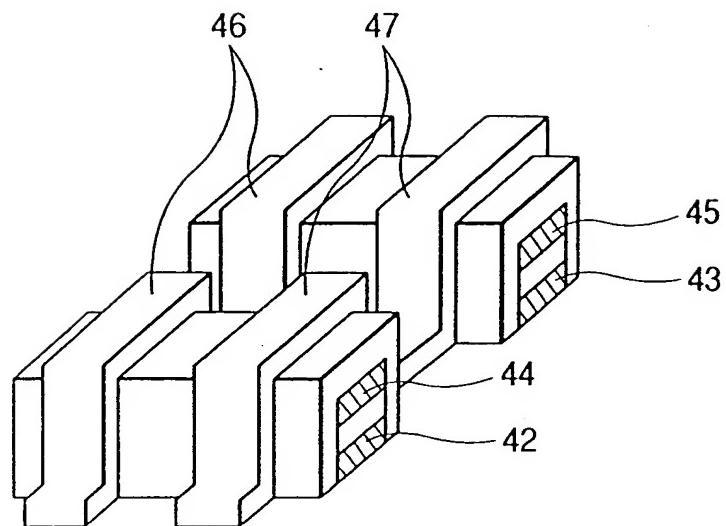
ФИГ. 7(а)



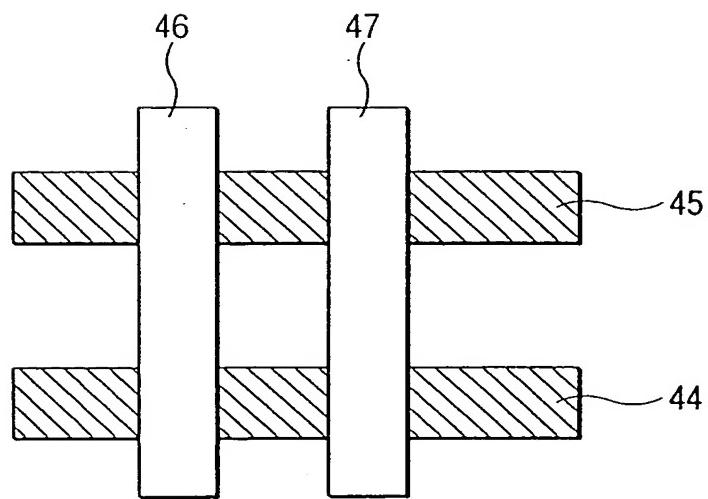
ФИГ. 7(б)



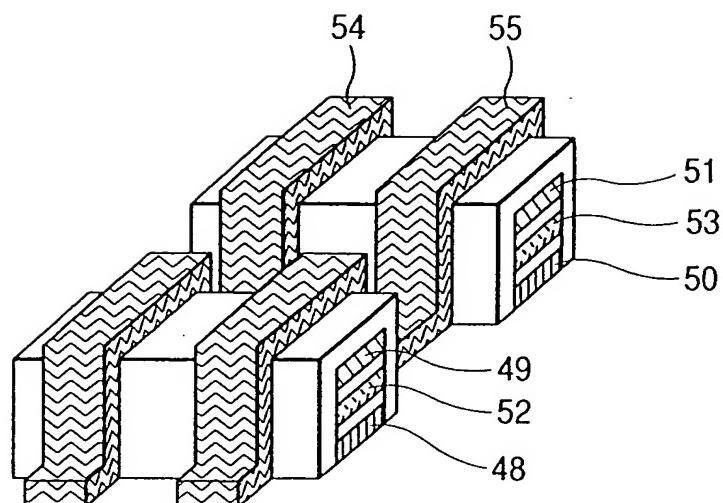
ФИГ. 8(а)



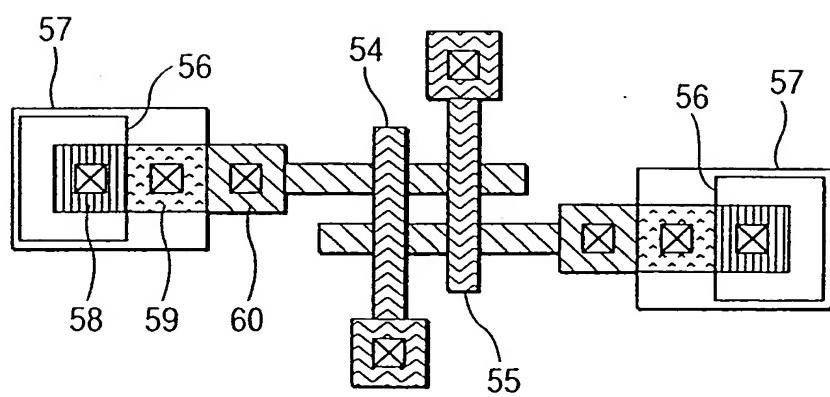
ФИГ. 8(б)



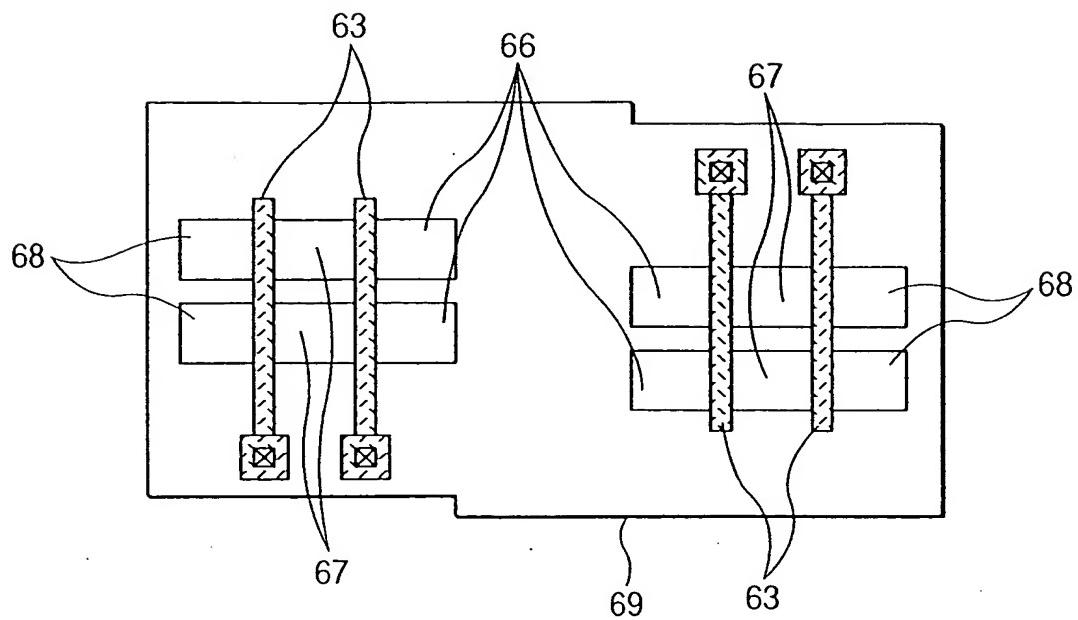
ФИГ. 9(а)



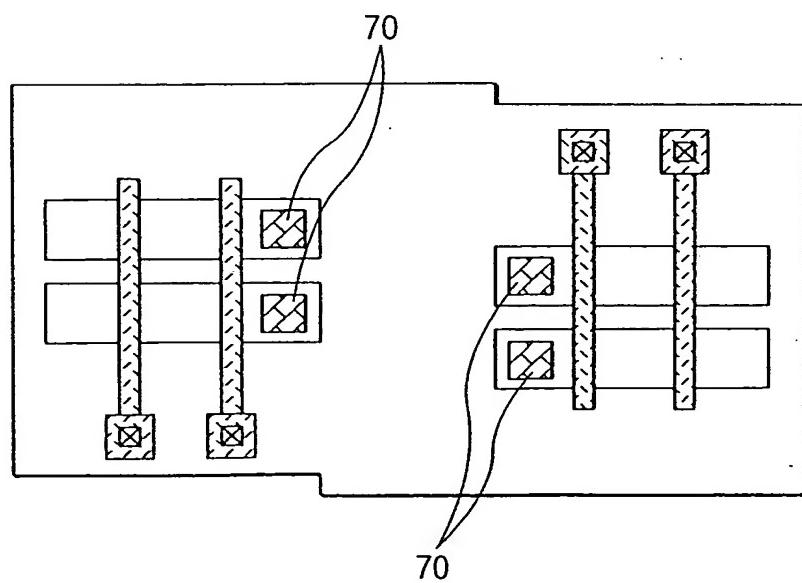
ФИГ. 9(б)



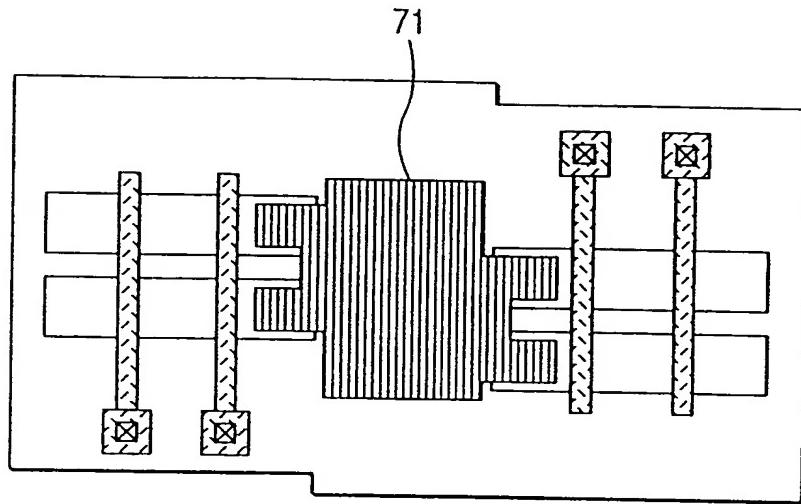
ФИГ. 10(а)



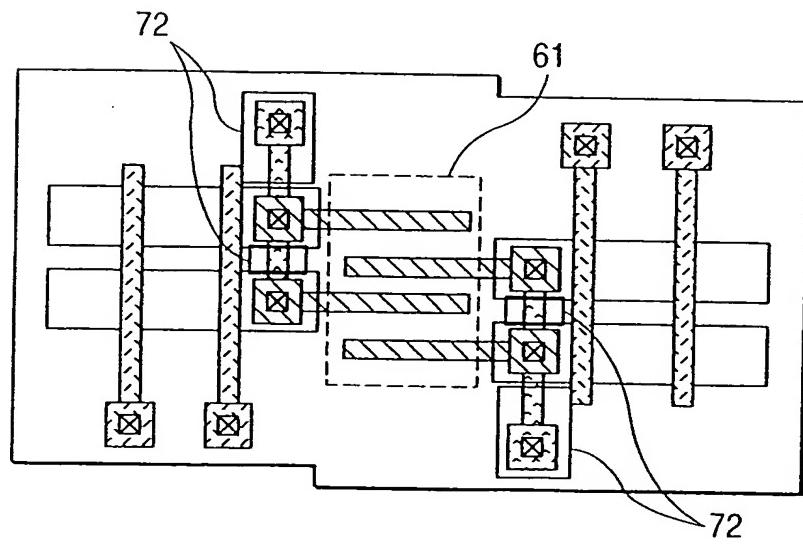
ФИГ. 10(б)



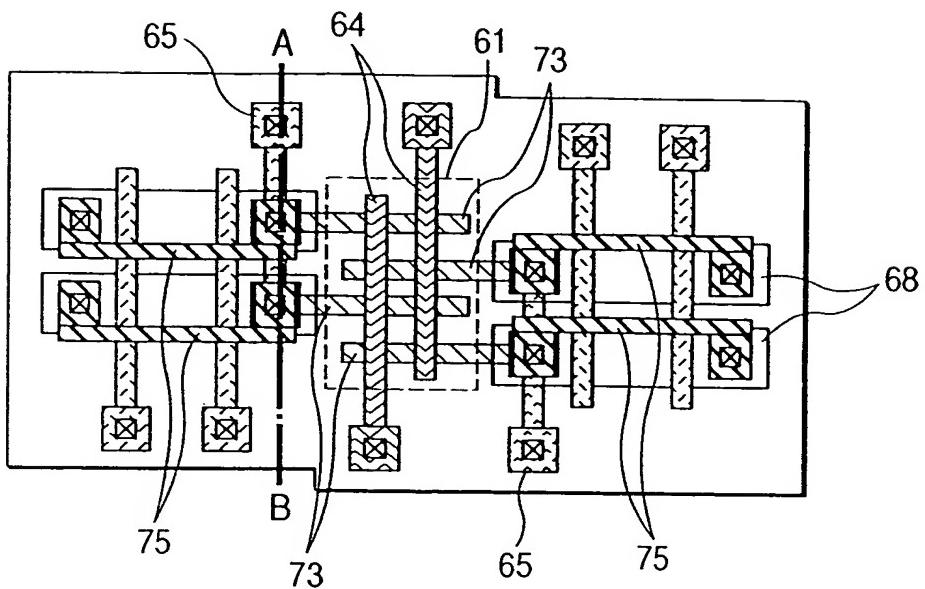
ФИГ. 11(а)



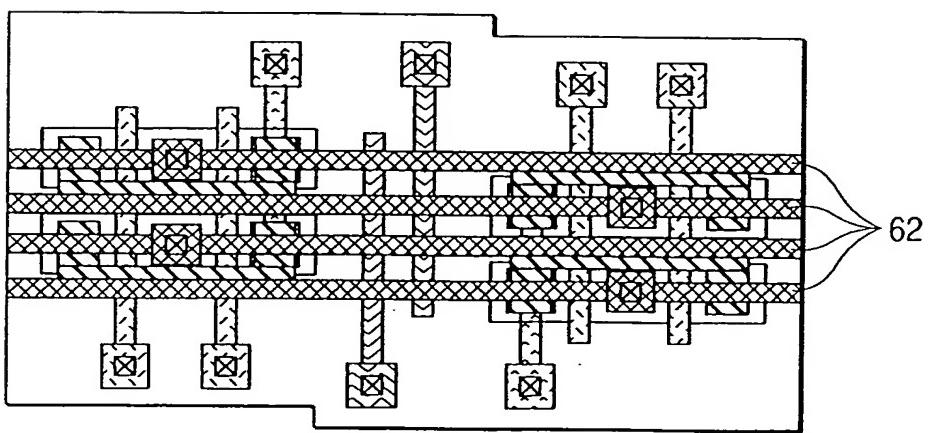
ФИГ. 11(б)



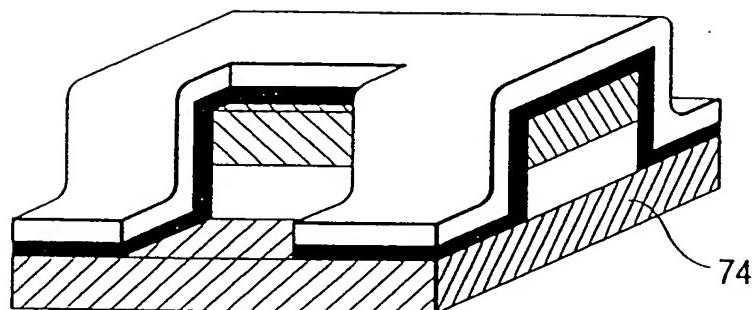
ФИГ. 12(а)



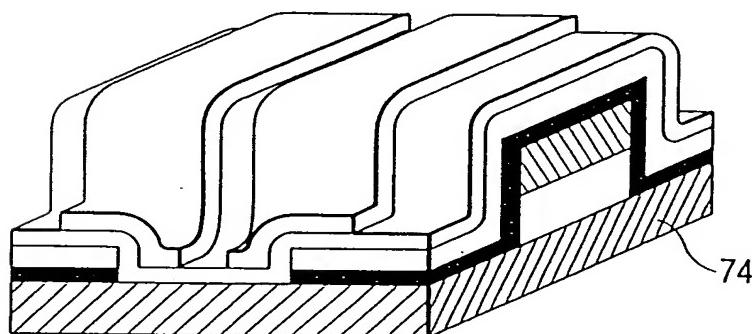
ФИГ. 12(б)



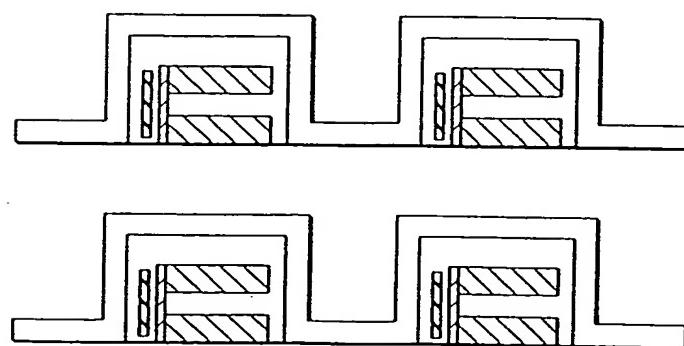
ФИГ. 13(а)



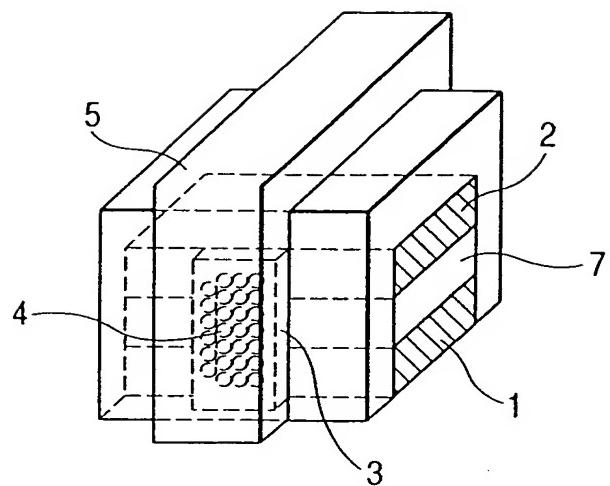
ФИГ. 13(б)



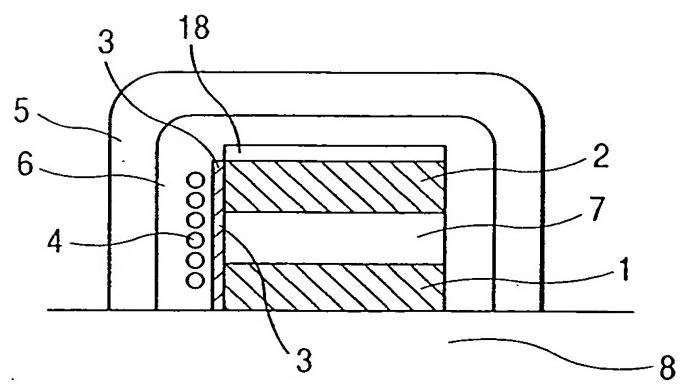
ФИГ. 14



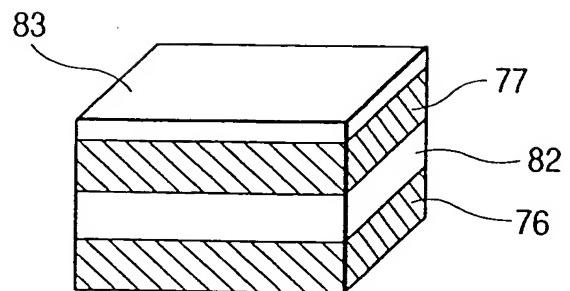
ФИГ. 15(а)



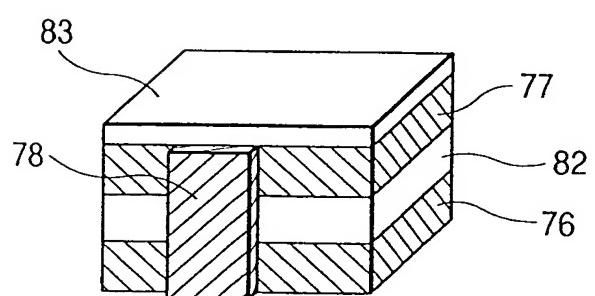
ФИГ. 15(б)



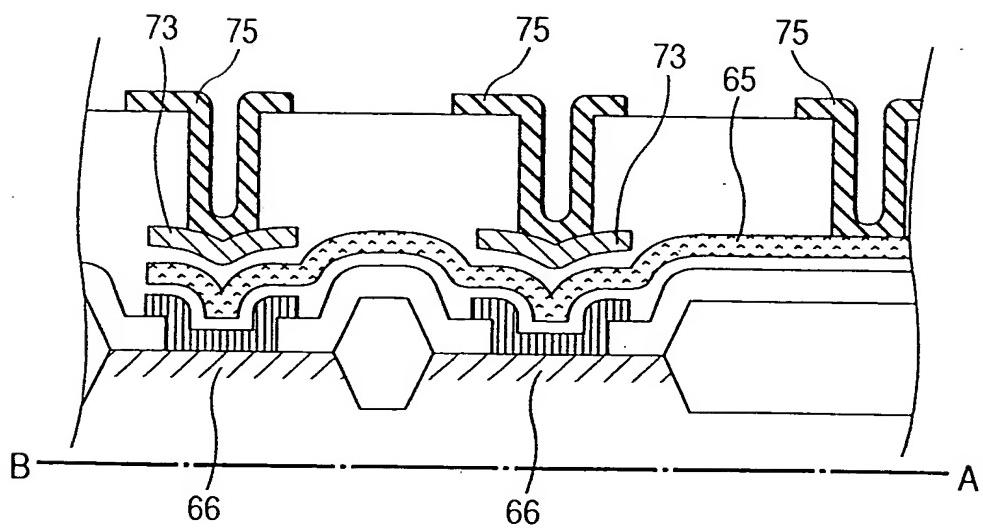
ФИГ. 16(а)



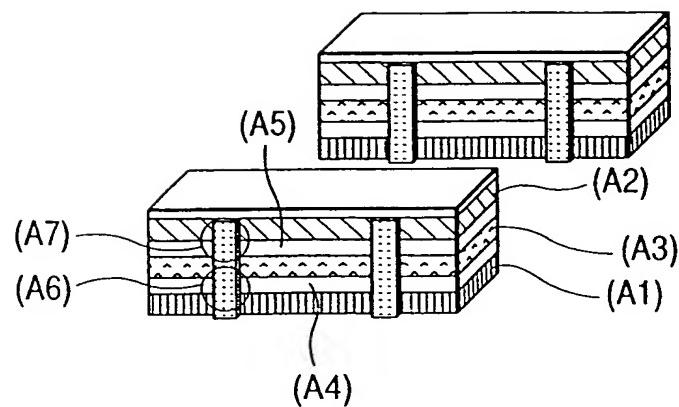
ФИГ. 16(б)



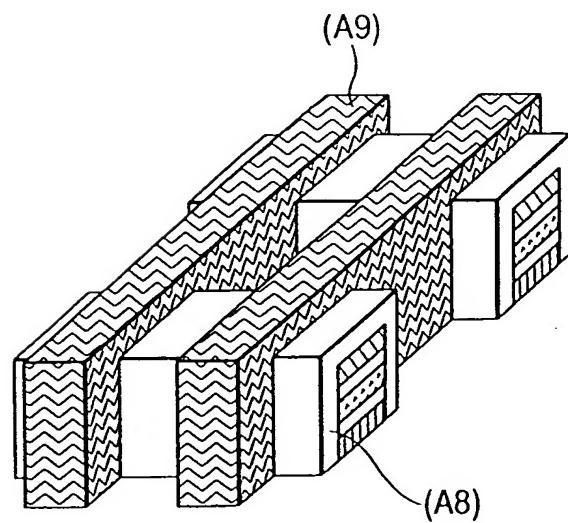
ФИГ. 17



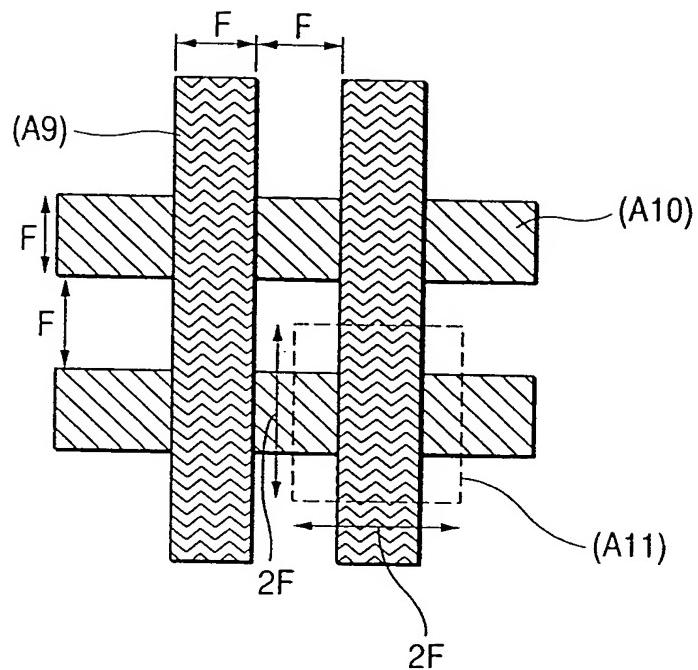
ФИГ. 18(а)



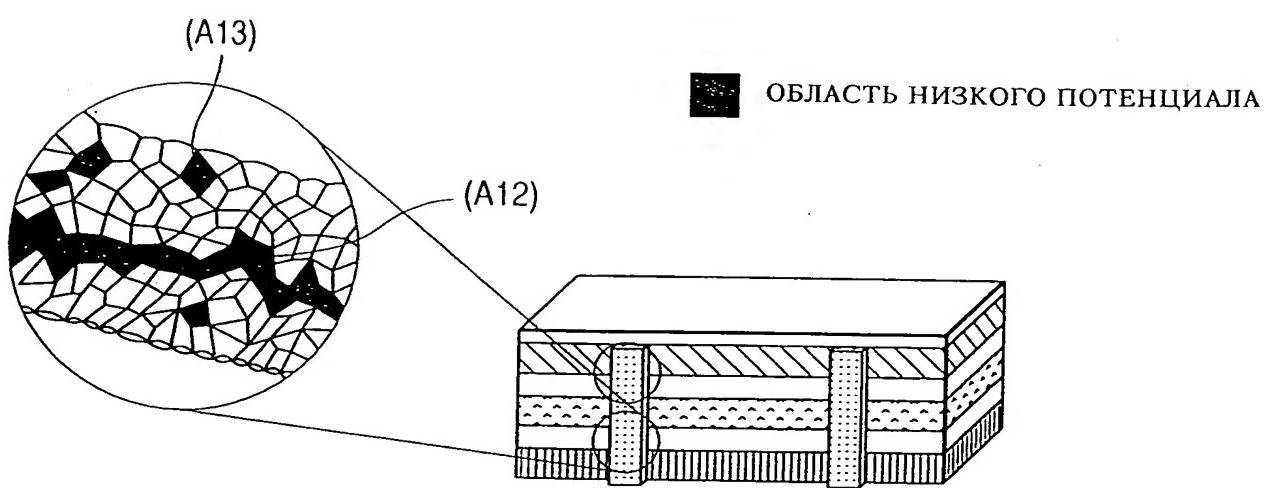
ФИГ. 18(б)



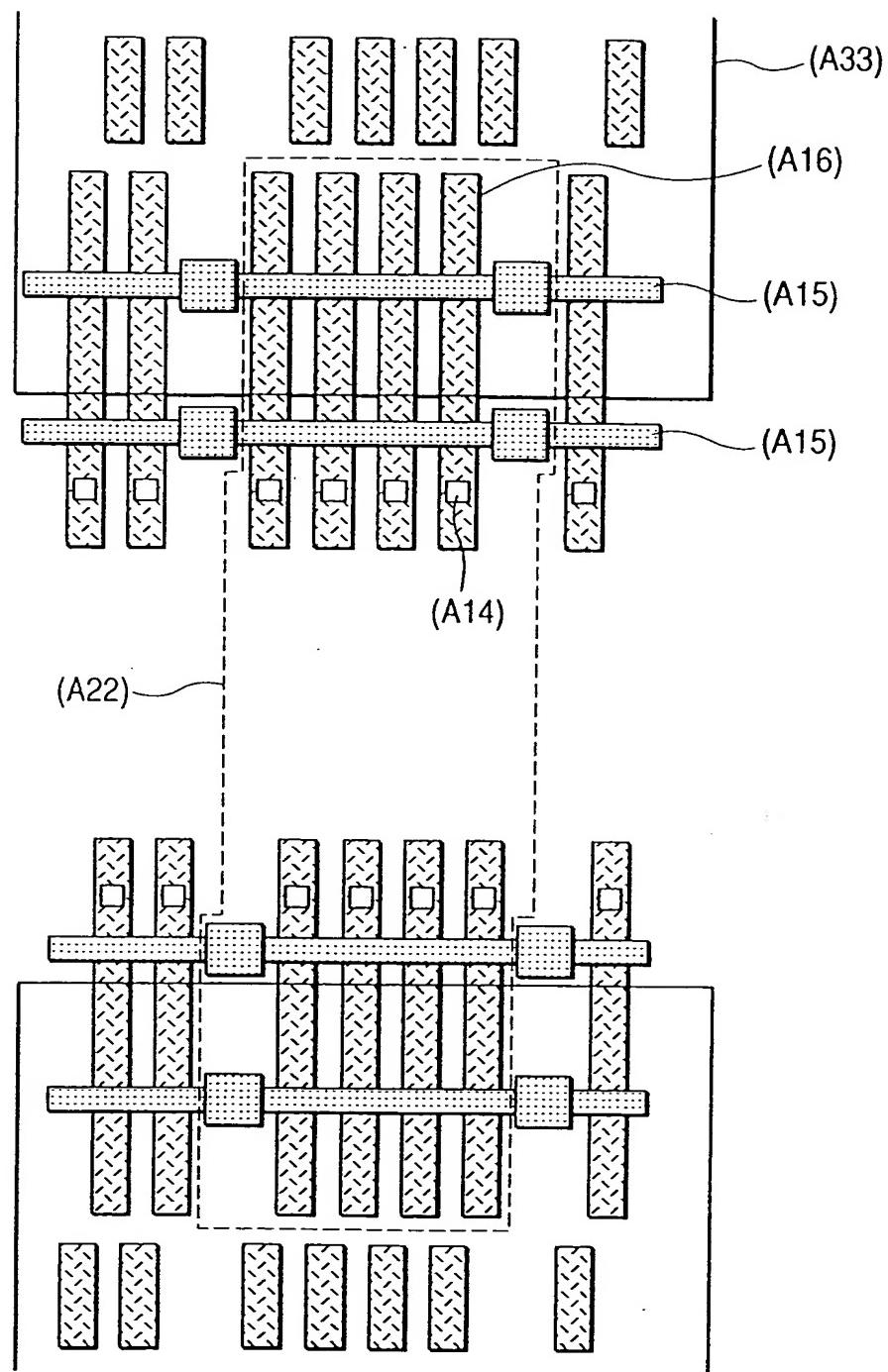
ФИГ. 19



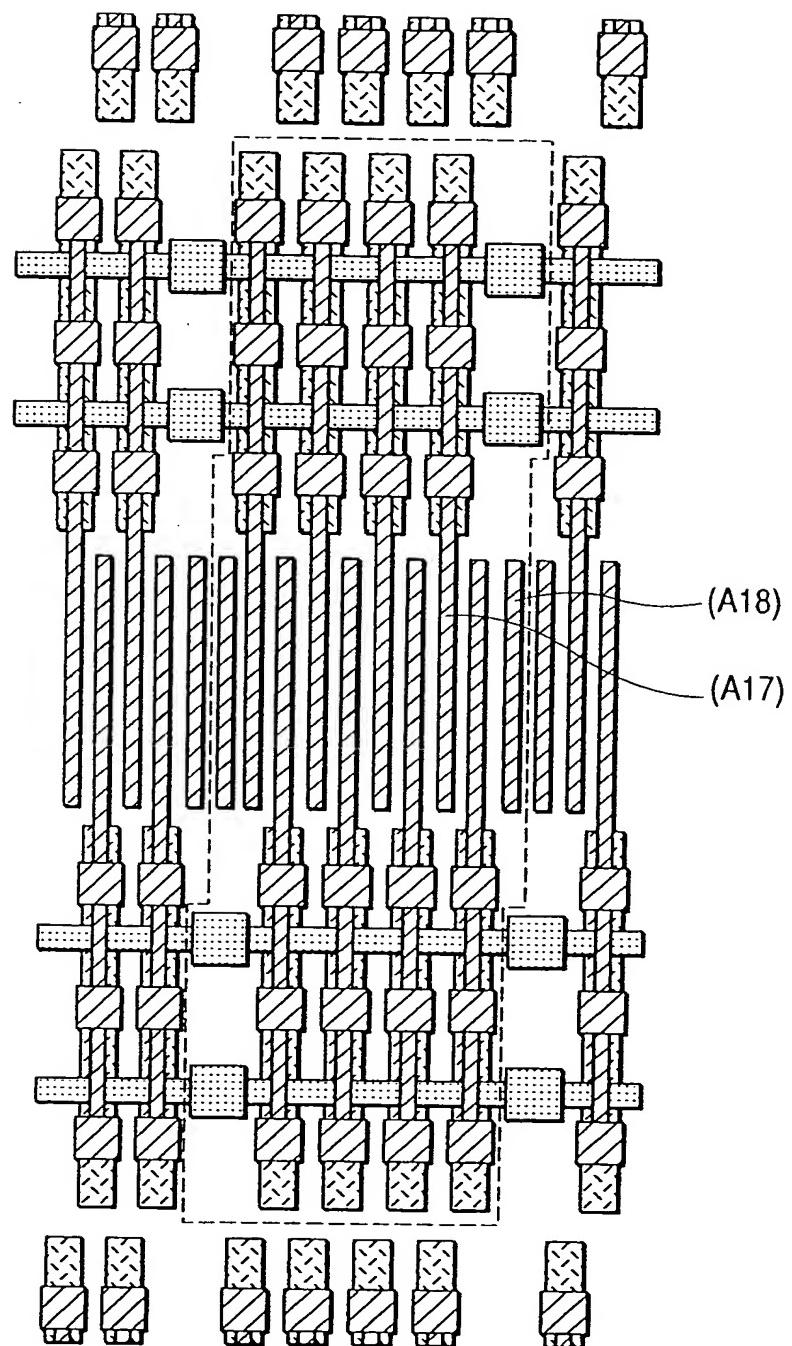
ФИГ. 20



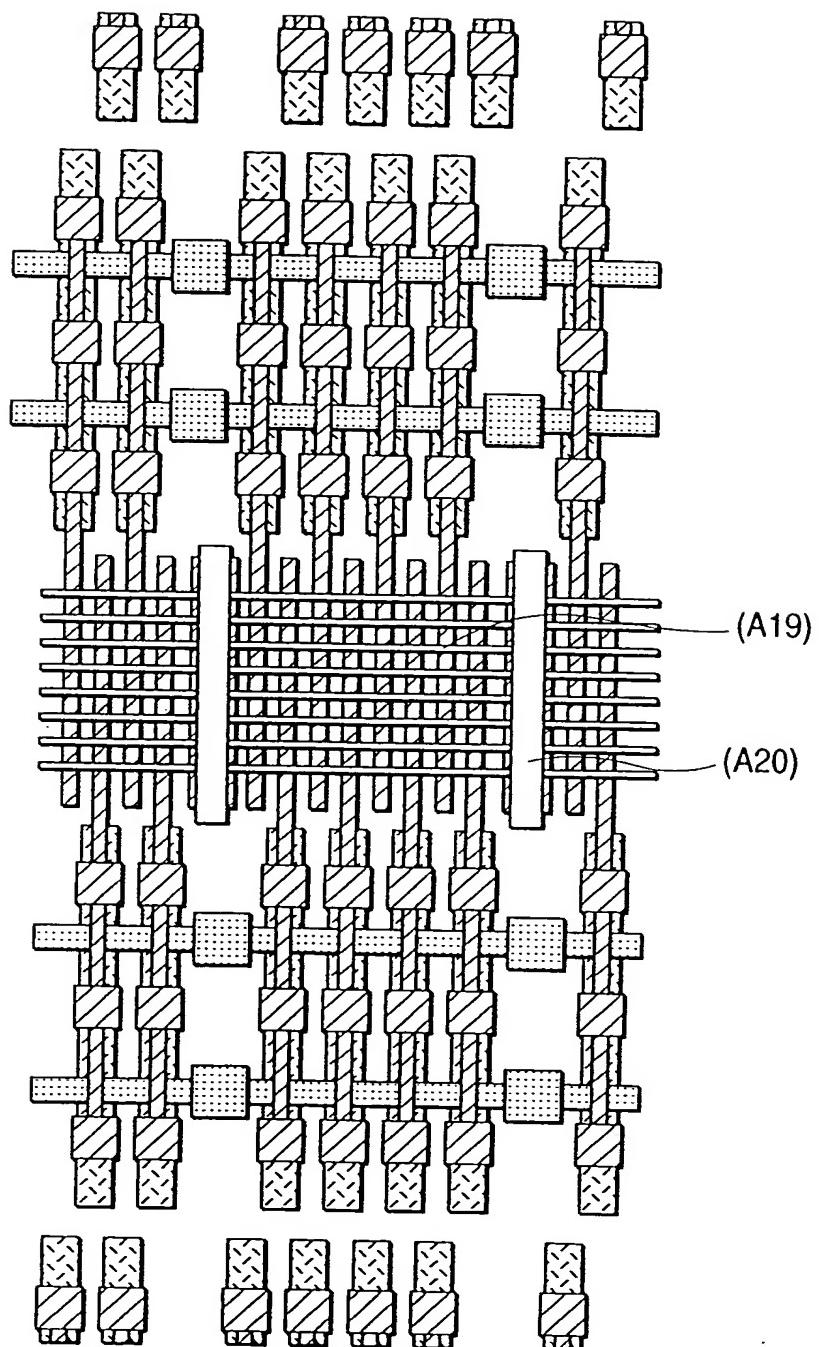
ФИГ. 21



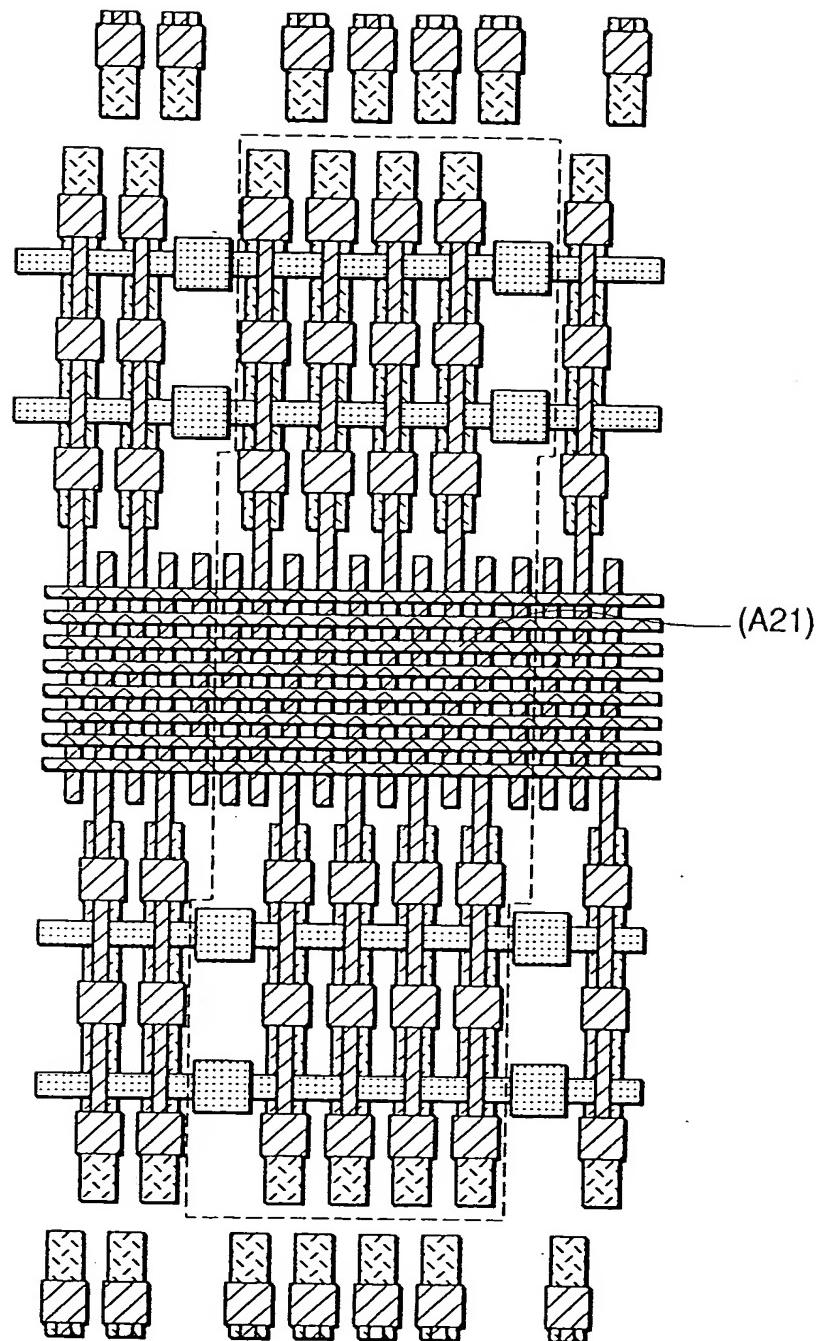
ФИГ. 22



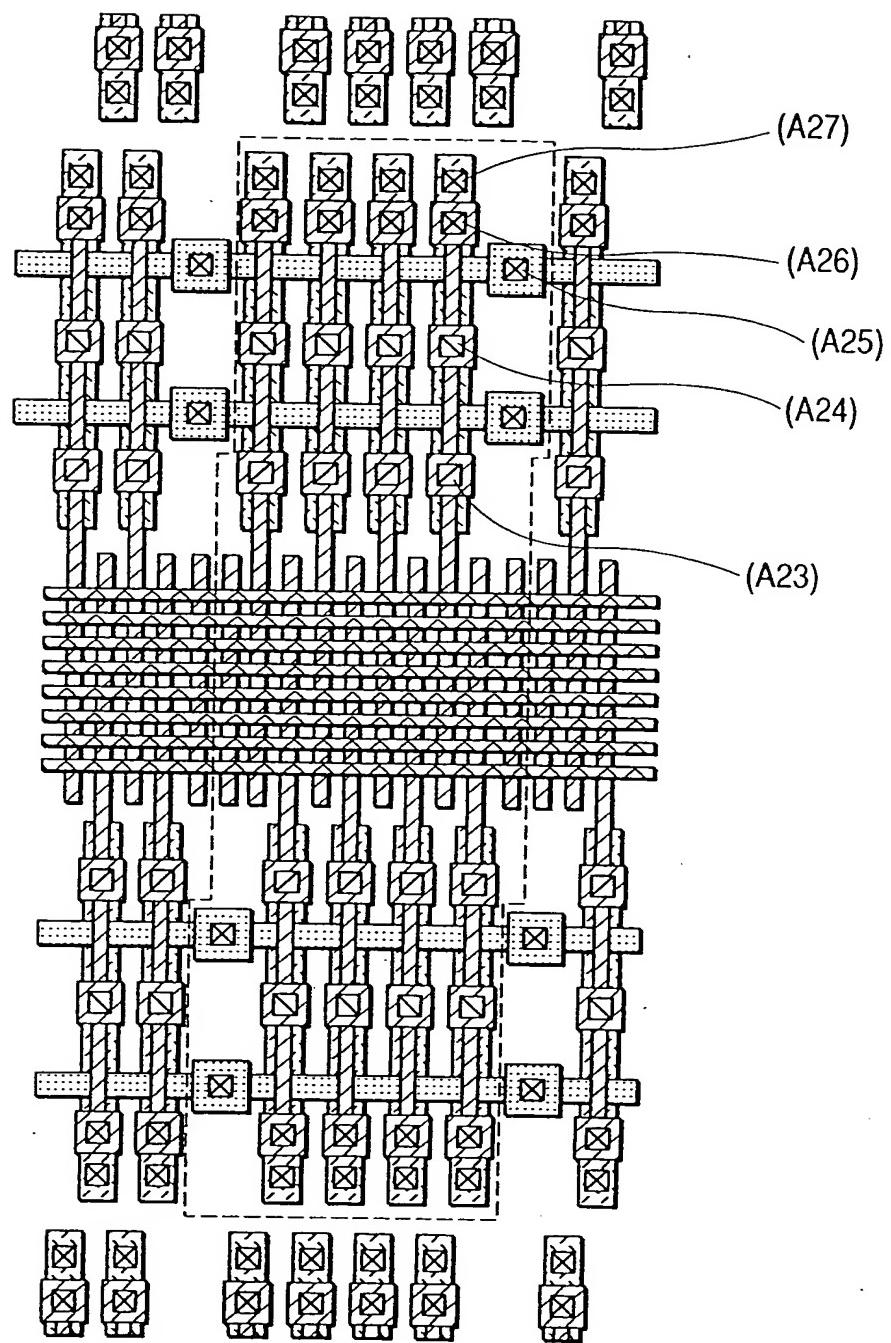
ФИГ. 23



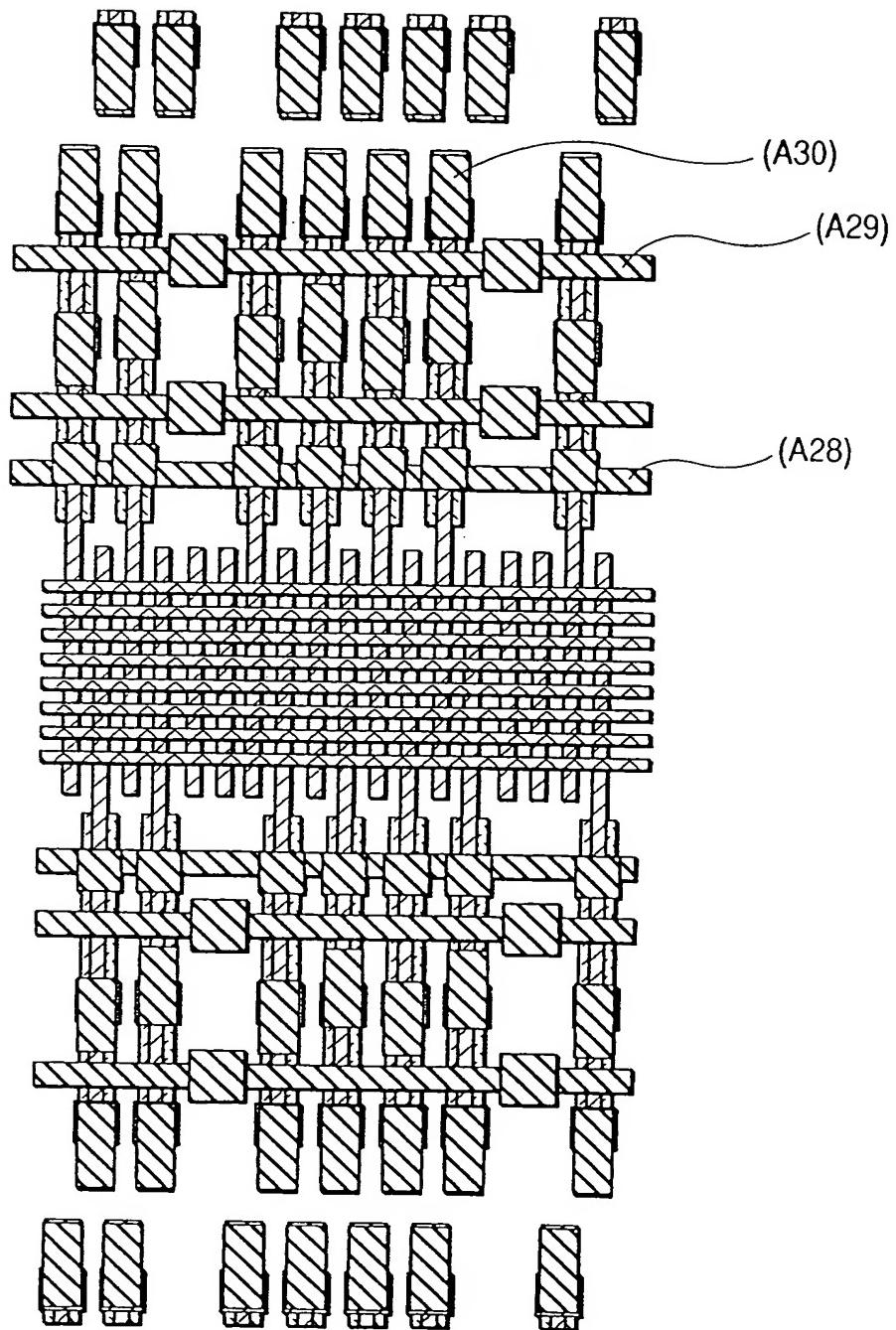
ФИГ. 24



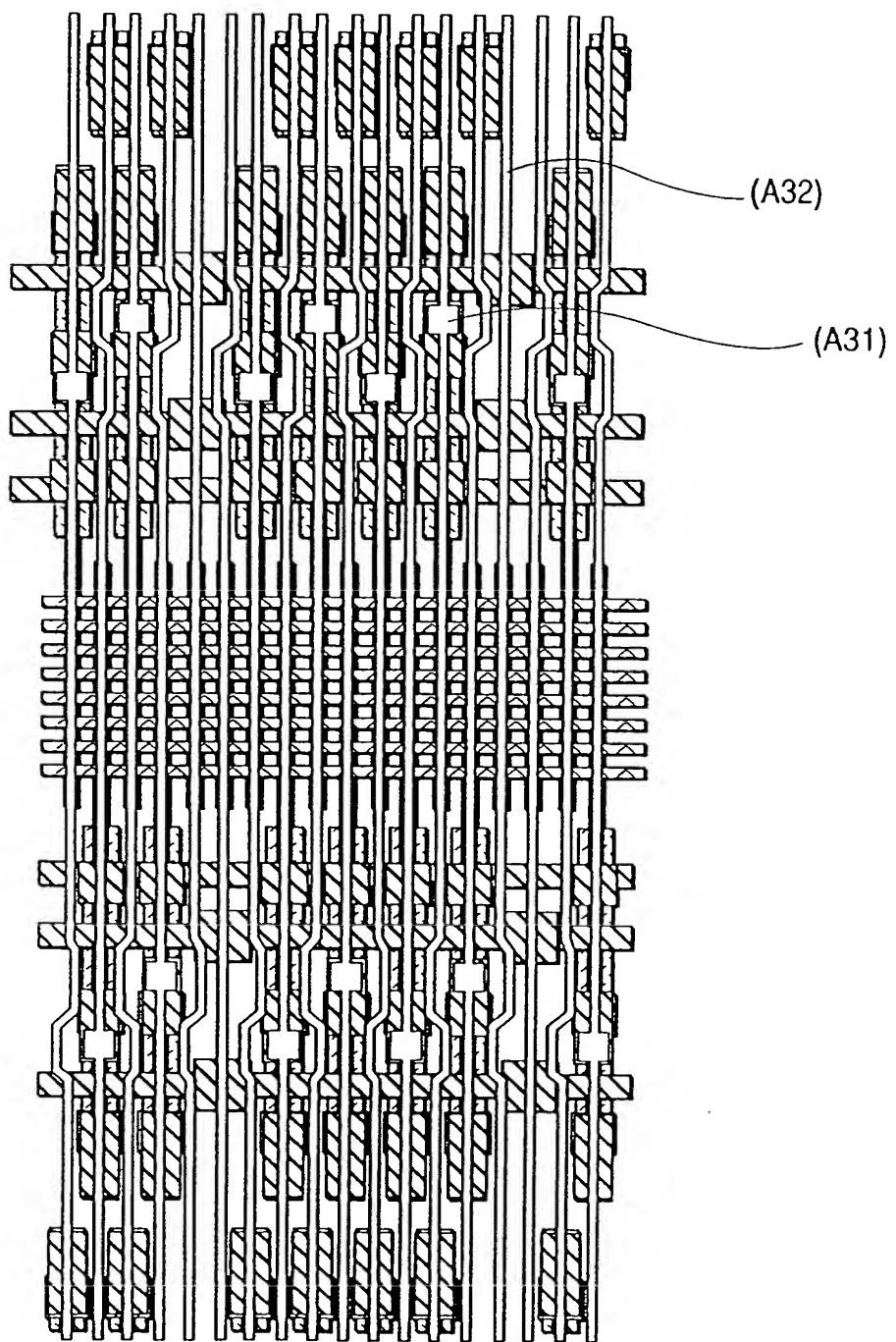
ФИГ. 25



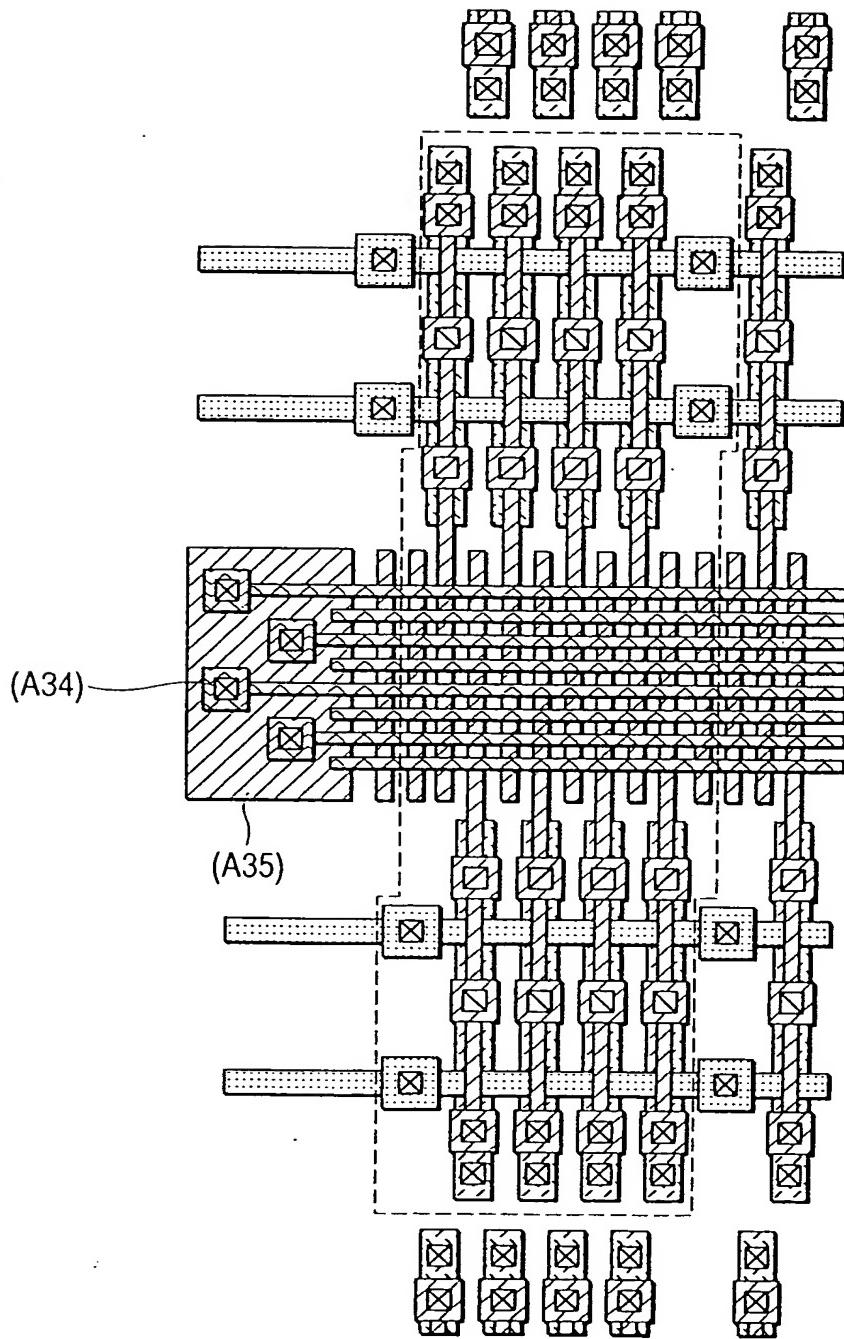
ФИГ. 26



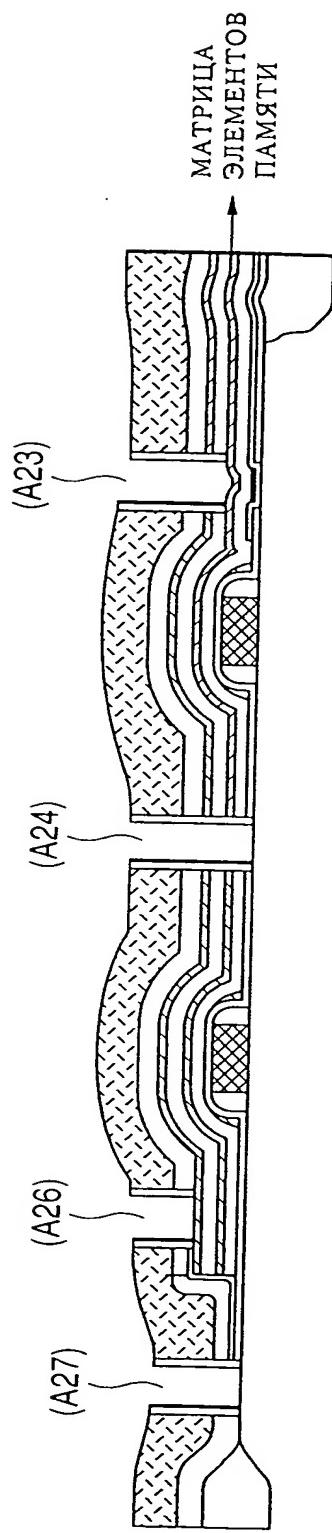
ФИГ. 27



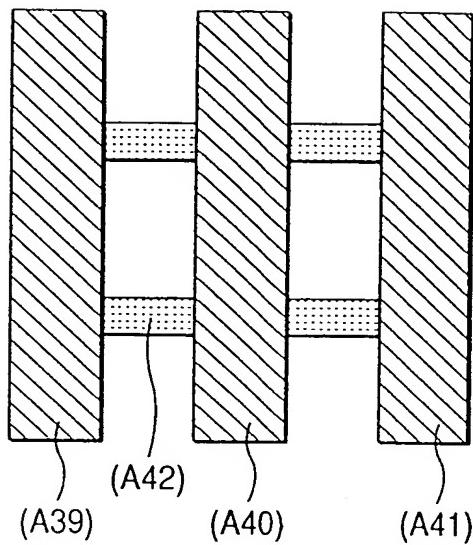
ФИГ. 28



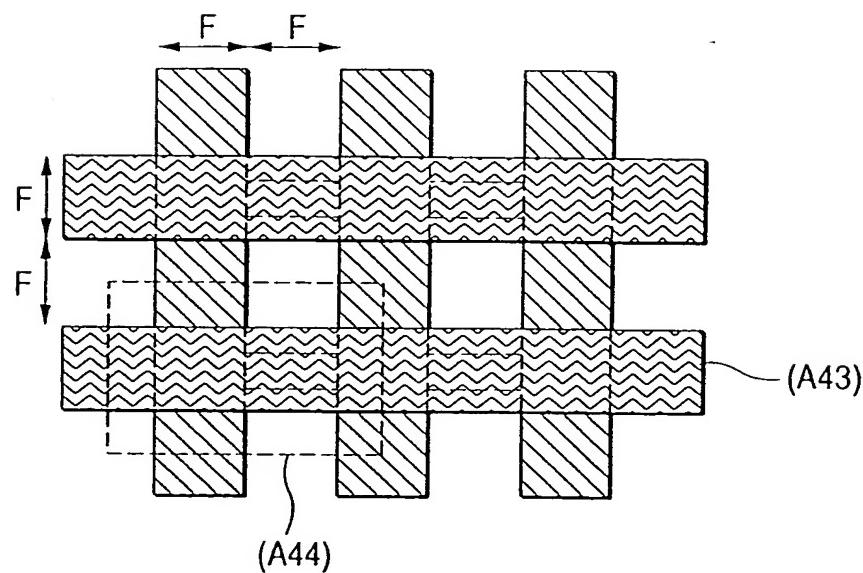
ФИГ. 29



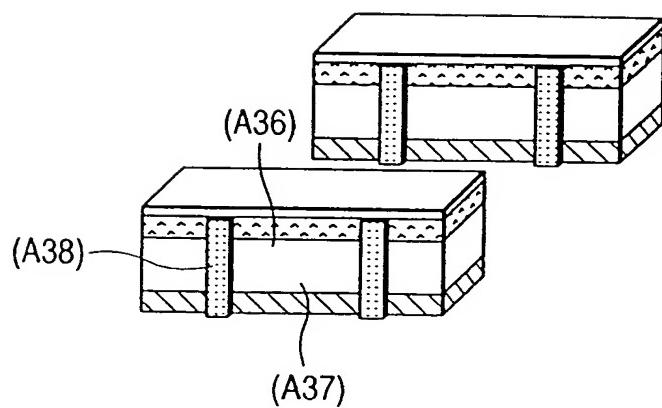
ФИГ. 30(а)



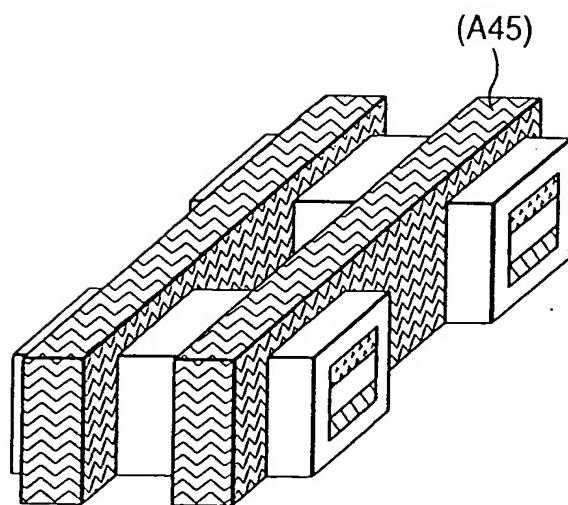
ФИГ. 30(б)



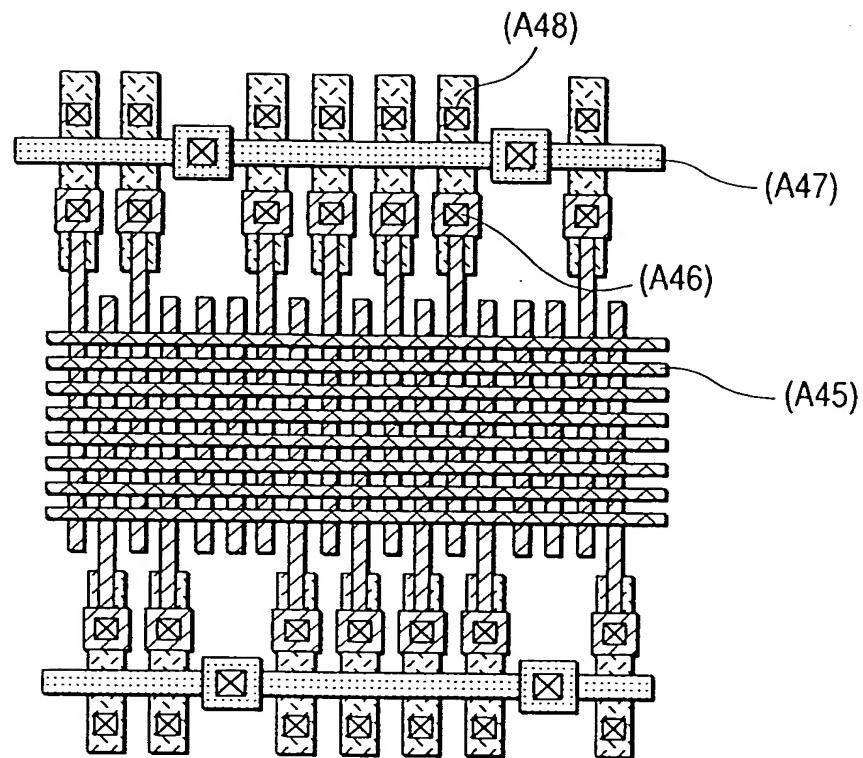
ФИГ. 31(а)



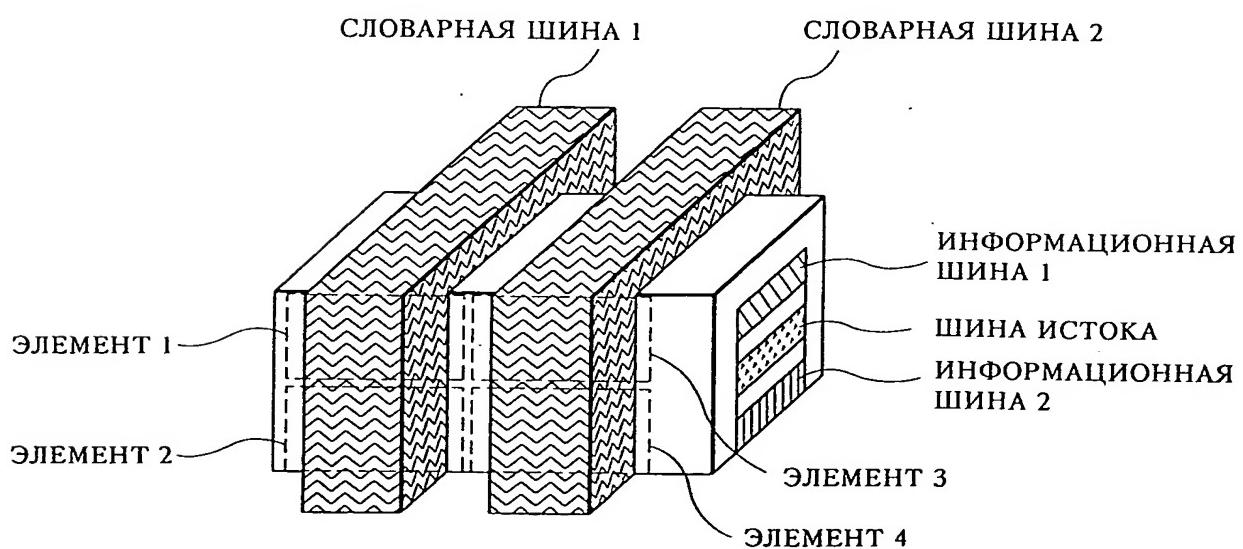
ФИГ. 31(б)



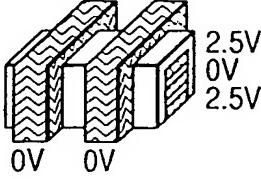
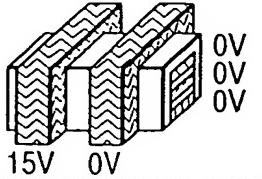
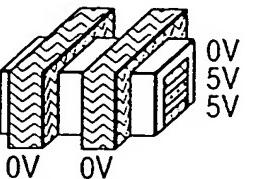
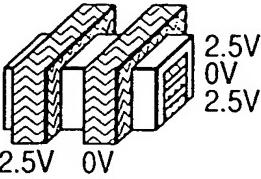
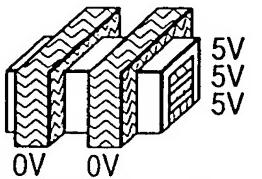
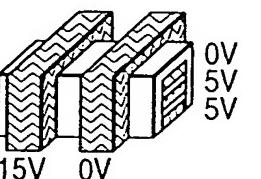
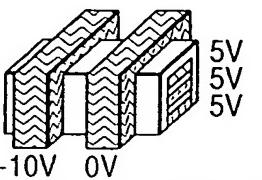
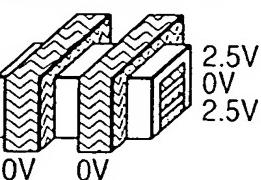
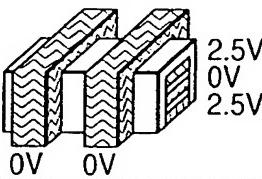
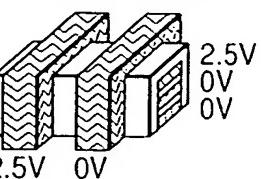
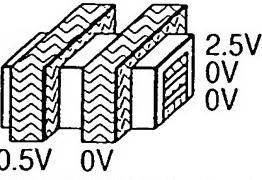
ФИГ. 32



ФИГ. 33

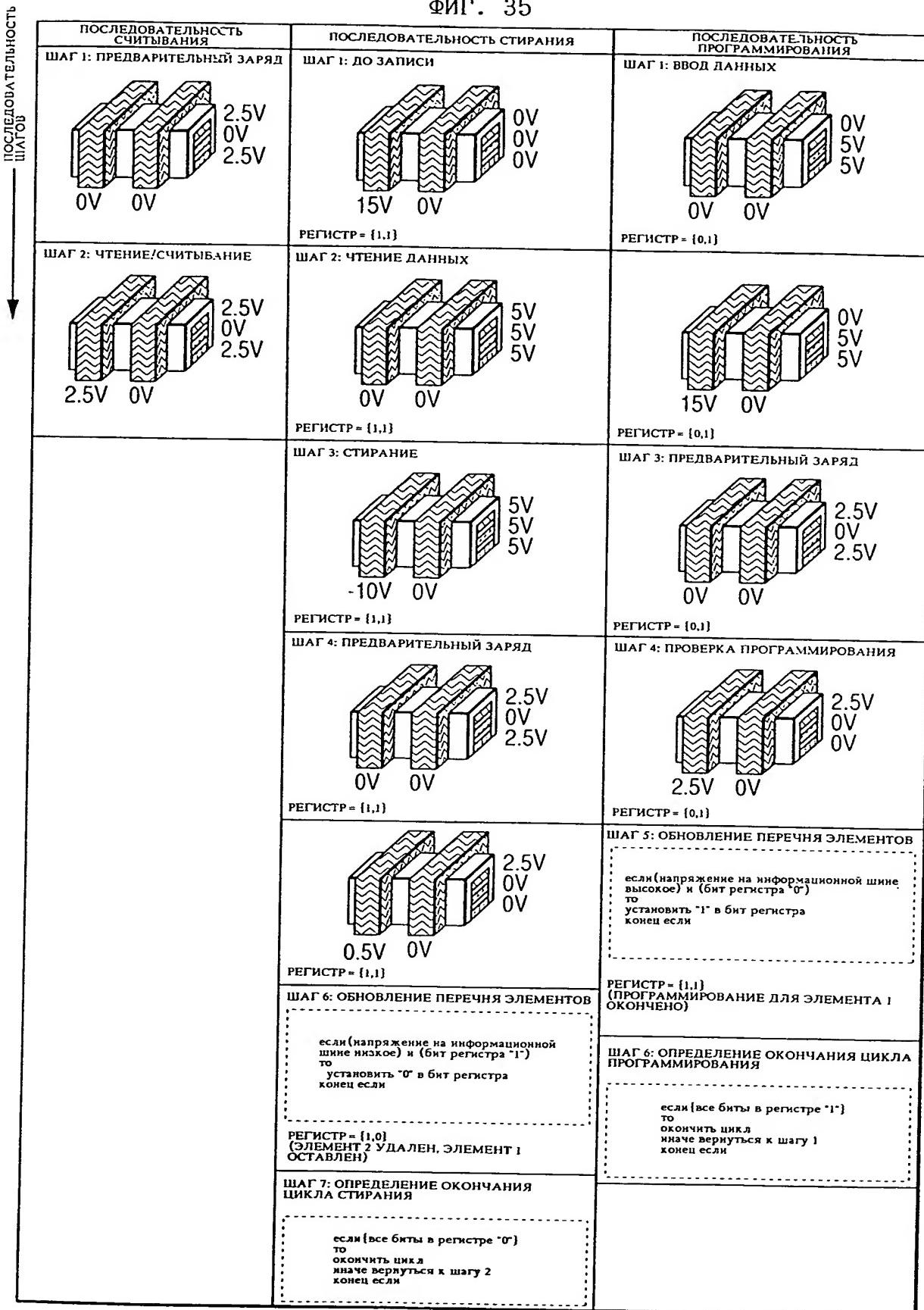


ФИГ. 34

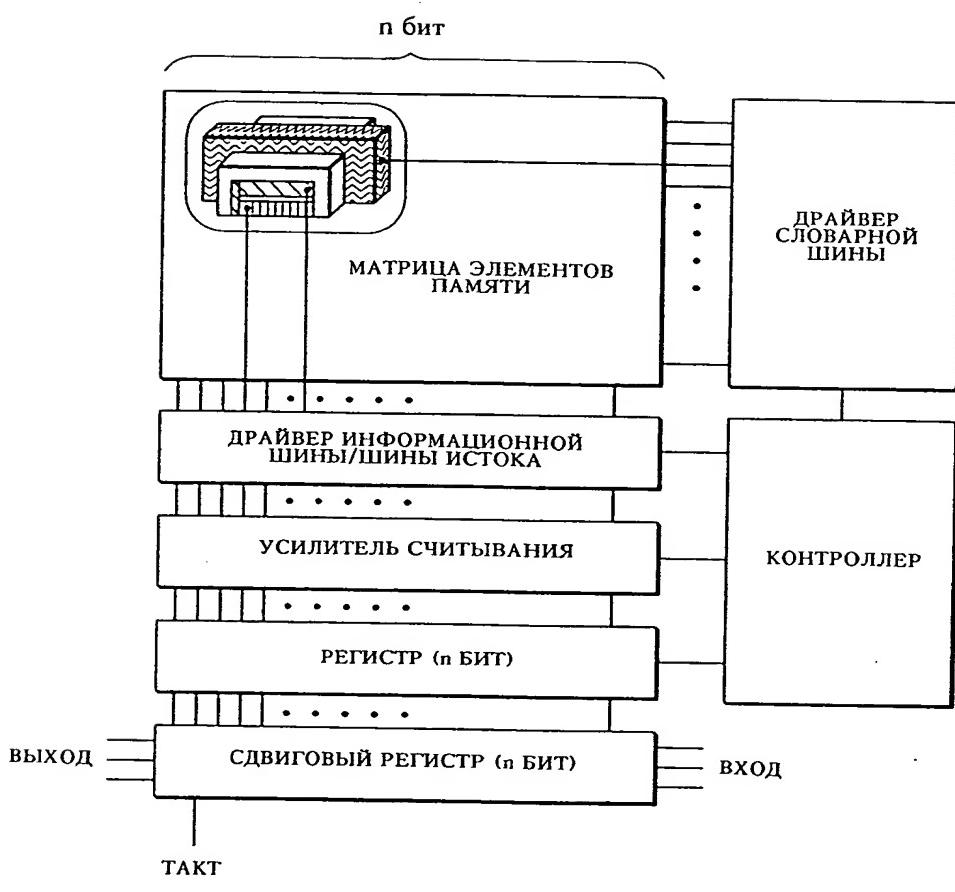
ПОСЛЕДОВАТЕЛЬНОСТЬ СЧИТЫВАНИЯ	ПОСЛЕДОВАТЕЛЬНОСТЬ СТИРАНИЯ	ПОСЛЕДОВАТЕЛЬНОСТЬ ПРОГРАММИРОВАНИЯ
ШАГ 1: ПРЕДВАРИТЕЛЬНЫЙ ЗАРЯД  0V 0V 2.5V 2.5V	ШАГ 1: ДО ЗАПИСИ  0V 0V 0V 0V ПЕРЕЧЕНЬ СТИРАЕМЫХ ЭЛЕМЕНТОВ = [ЭЛЕМЕНТ 1, ЭЛЕМЕНТ 2]	ШАГ 1: ВВОД ДАННЫХ  0V 5V 5V 5V ПЕРЕЧЕНЬ ЭЛЕМЕНТОВ, ПРОГРАММИРУЕМЫХ В "1" = [ЭЛЕМЕНТ 1]
ШАГ 2: ЧТЕНИЕ/СЧИТЫВАНИЕ  2.5V 0V 2.5V 2.5V	ШАГ 2: ЧТЕНИЕ ДАННЫХ  5V 5V 5V 5V 0V 0V ПЕРЕЧЕНЬ СТИРАЕМЫХ ЭЛЕМЕНТОВ = [ЭЛЕМЕНТ 1, ЭЛЕМЕНТ 2]	ШАГ 2: ПРОГРАММИРОВАНИЕ  0V 5V 5V 5V 15V 0V ПЕРЕЧЕНЬ ЭЛЕМЕНТОВ, ПРОГРАММИРУЕМЫХ В "1" = [ЭЛЕМЕНТ 1]
	ШАГ 3: СТИРАНИЕ  -10V 0V 5V 5V ПЕРЕЧЕНЬ СТИРАЕМЫХ ЭЛЕМЕНТОВ = [ЭЛЕМЕНТ 1, ЭЛЕМЕНТ 2]	ШАГ 3: ПРЕДВАРИТЕЛЬНЫЙ ЗАРЯД  0V 0V 2.5V 2.5V ПЕРЕЧЕНЬ ЭЛЕМЕНТОВ, ПРОГРАММИРУЕМЫХ В "1" = [ЭЛЕМЕНТ 1]
	ШАГ 4: ПРЕДВАРИТЕЛЬНЫЙ ЗАРЯД  0V 0V 2.5V 2.5V ПЕРЕЧЕНЬ СТИРАЕМЫХ ЭЛЕМЕНТОВ = [ЭЛЕМЕНТ 1, ЭЛЕМЕНТ 2]	ШАГ 4: ПРОВЕРКА ПРОГРАММИРОВАНИЯ  2.5V 0V 0V 0V ПЕРЕЧЕНЬ ЭЛЕМЕНТОВ, ПРОГРАММИРУЕМЫХ В "1" = [ЭЛЕМЕНТ 1]
	ШАГ 5: ПРОВЕРКА СТИРАНИЯ  0.5V 0V 2.5V 2.5V ПЕРЕЧЕНЬ СТИРАЕМЫХ ЭЛЕМЕНТОВ = [ЭЛЕМЕНТ 1, ЭЛЕМЕНТ 2]	ШАГ 5: ОБНОВЛЕНИЕ ПЕРЕЧНЯ ЭЛЕМЕНТОВ если(напряжение на информационной шине высокое) то удалить из перечня элементов конец если ПЕРЕЧЕНЬ ЭЛЕМЕНТОВ, ПРОГРАММИРУЕМЫХ В "1" = [ЭЛЕМЕНТ 1] (ПРОГРАММИРОВАНИЕ "1" ДЛЯ ЭЛЕМЕНТА 1 ОКОНЧЕНО)
	ШАГ 6: ОБНОВЛЕНИЕ ПЕРЕЧНЯ ЭЛЕМЕНТОВ если(напряжение на информационной шине низкое) то удалить из перечня элементов конец если ПЕРЕЧЕНЬ СТИРАЕМЫХ ЭЛЕМЕНТОВ = [ЭЛЕМЕНТ 1] (ЭЛЕМЕНТ 2 УДАЛЕН, ЭЛЕМЕНТ 2 ОСТАВЛЕН)	ШАГ 6: ОПРЕДЕЛЕНИЕ ОКОНЧАНИЯ ЦИКЛА ПРОГРАММИРОВАНИЯ если(перечень элементов очищен) то окончить цикл иначе вернуться к шагу 1 конец если
	ШАГ 7: ОПРЕДЕЛЕНИЕ ОКОНЧАНИЯ ЦИКЛА СТИРАНИЯ если(перечень элементов очищен) то окончить цикл иначе вернуться к шагу 2 конец если	

ПОСЛЕДОВАТЕЛЬНОСТЬ ШАГОВ

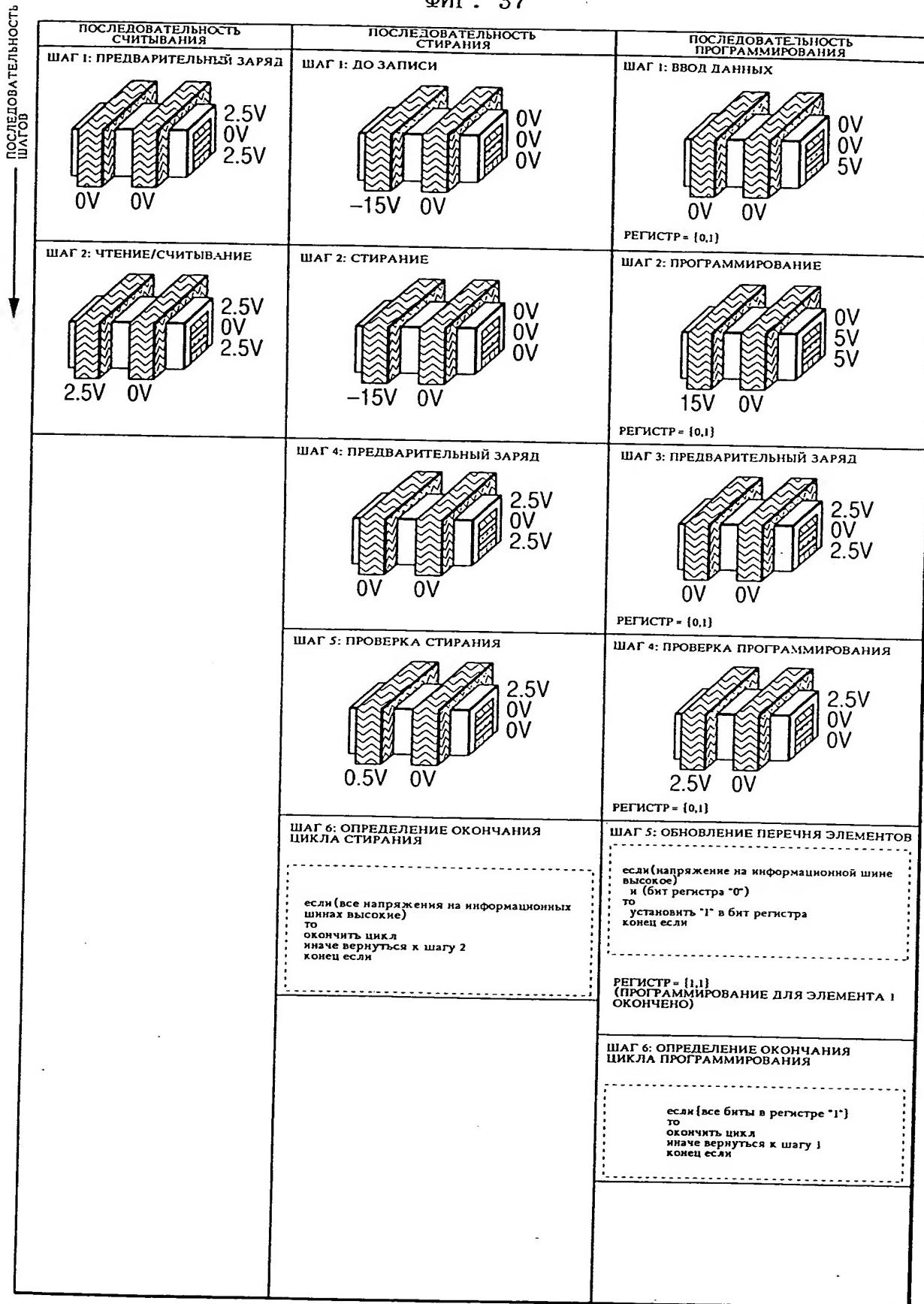
ФИГ. 35



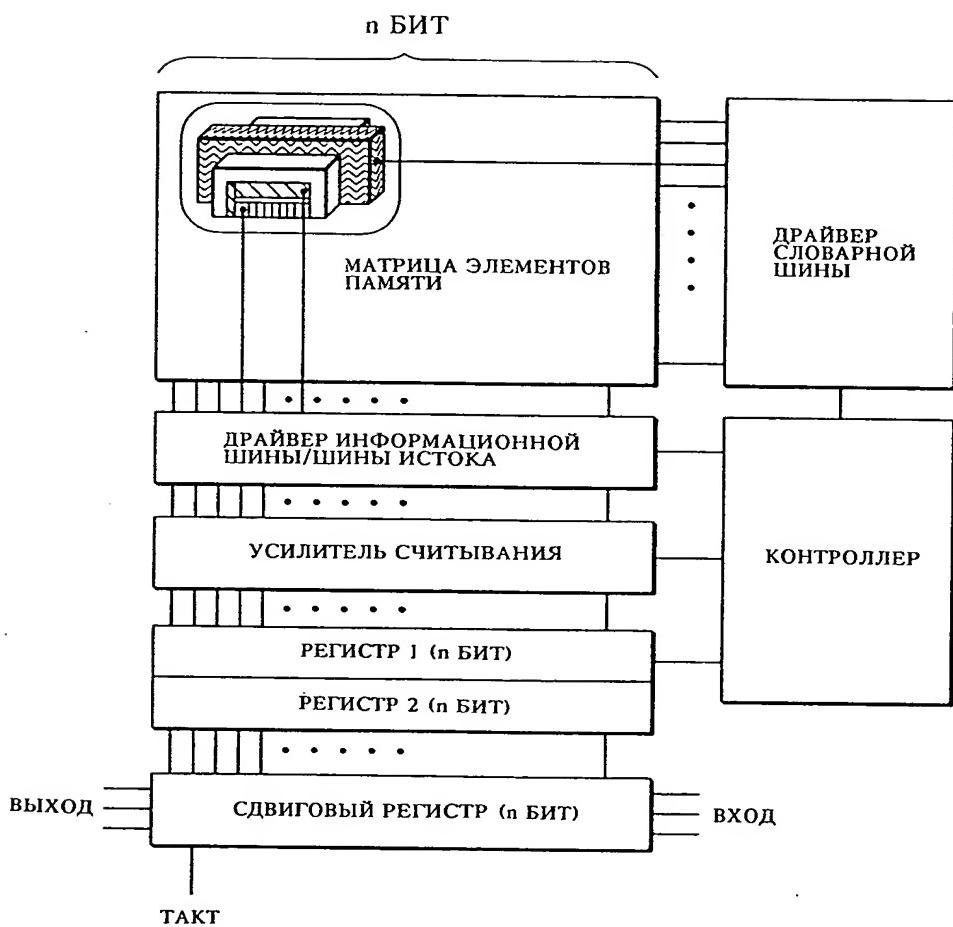
ФИГ. 36



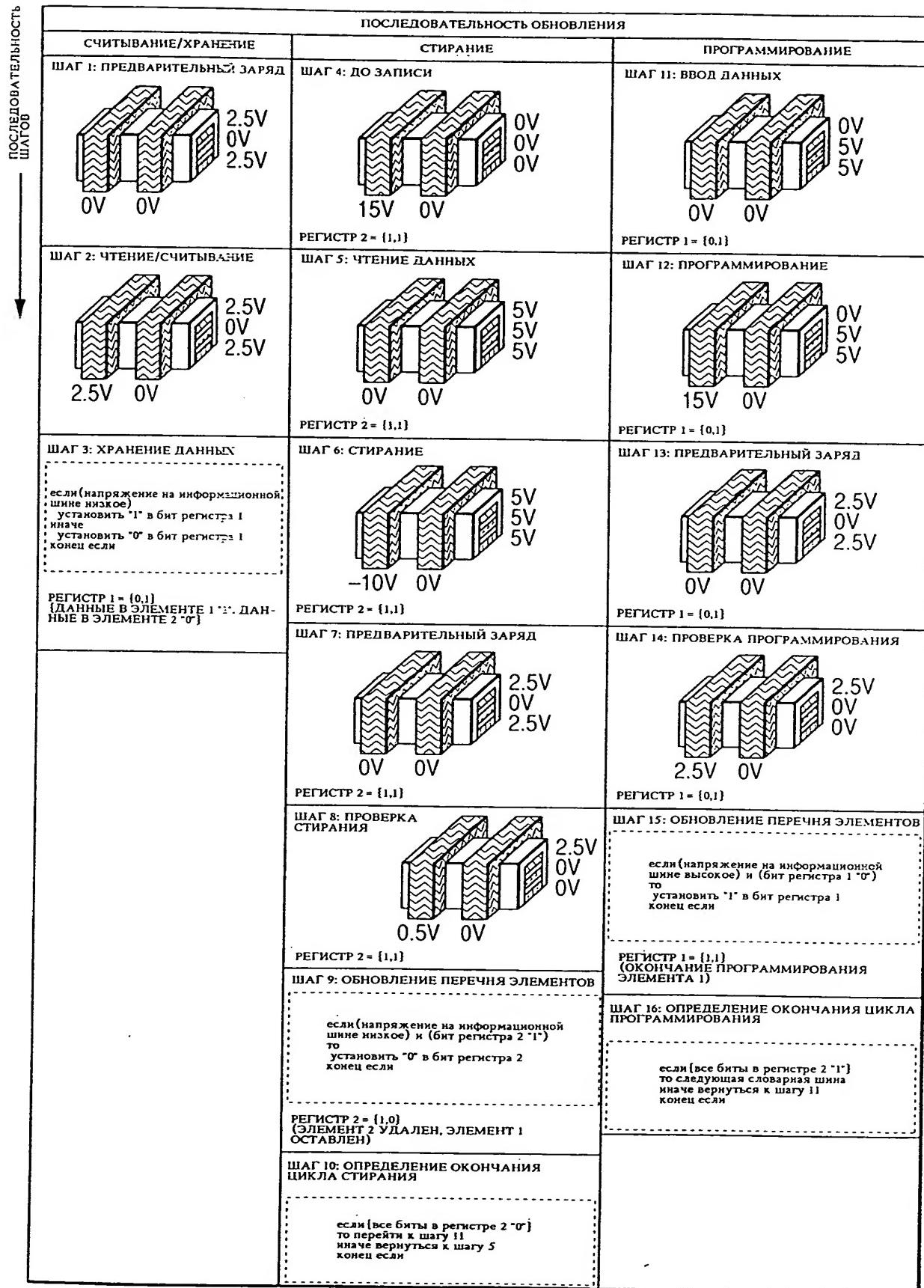
ФИГ. 37



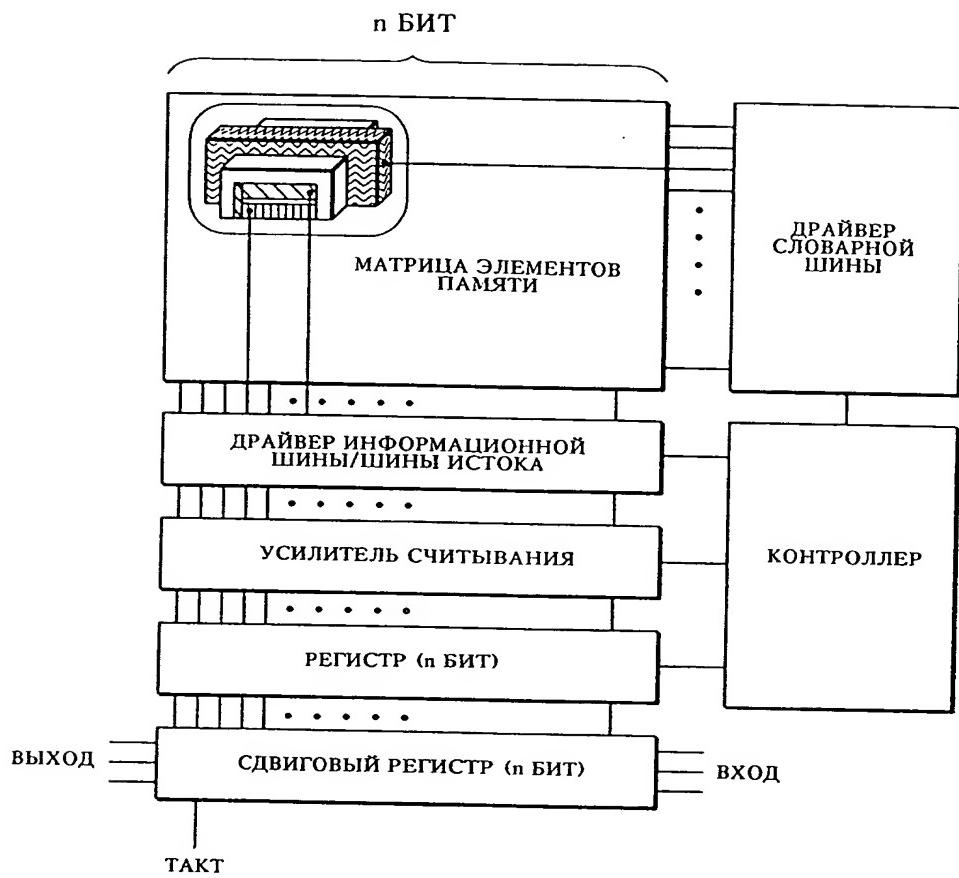
ФИГ. 38



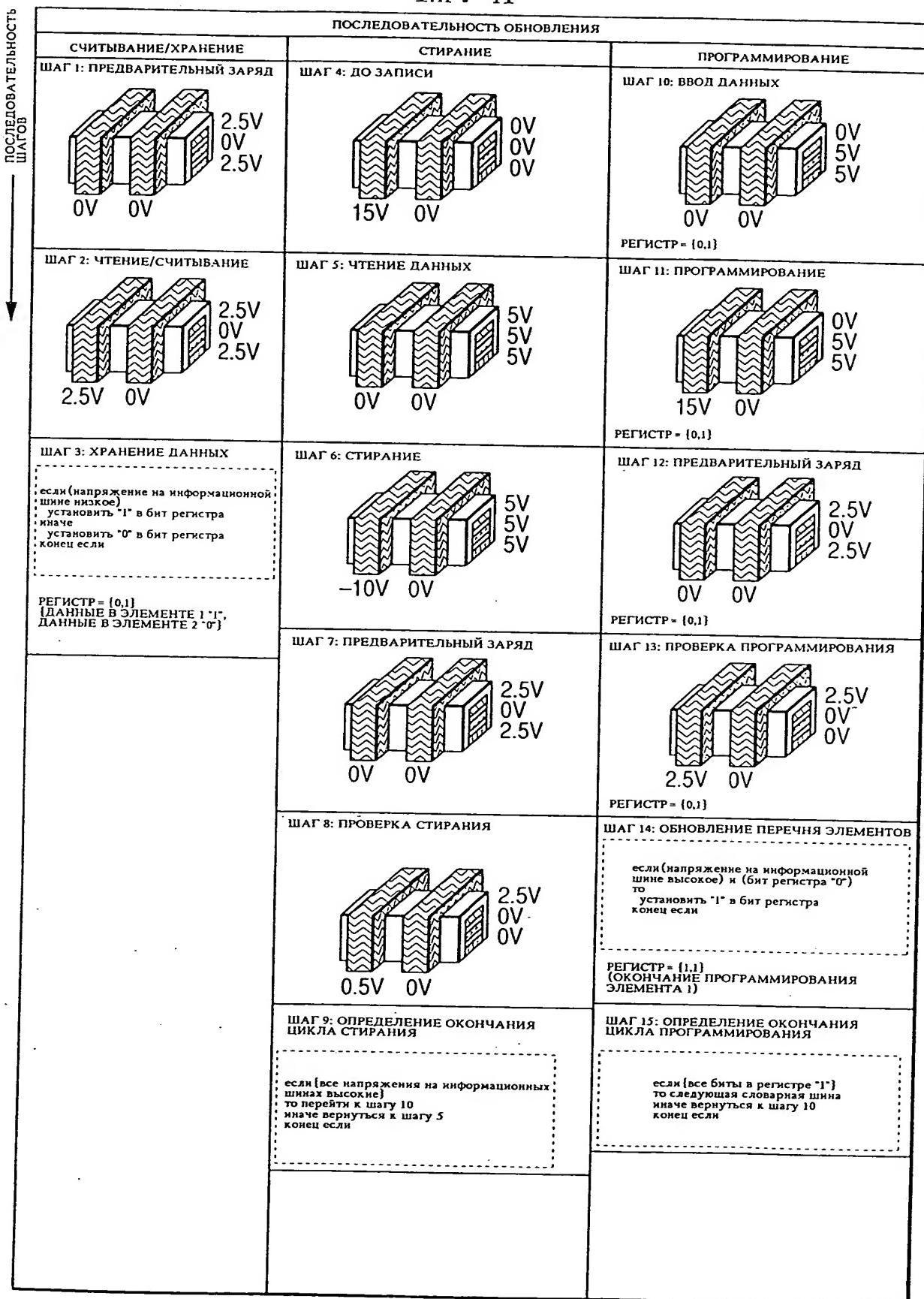
ФИГ. 39



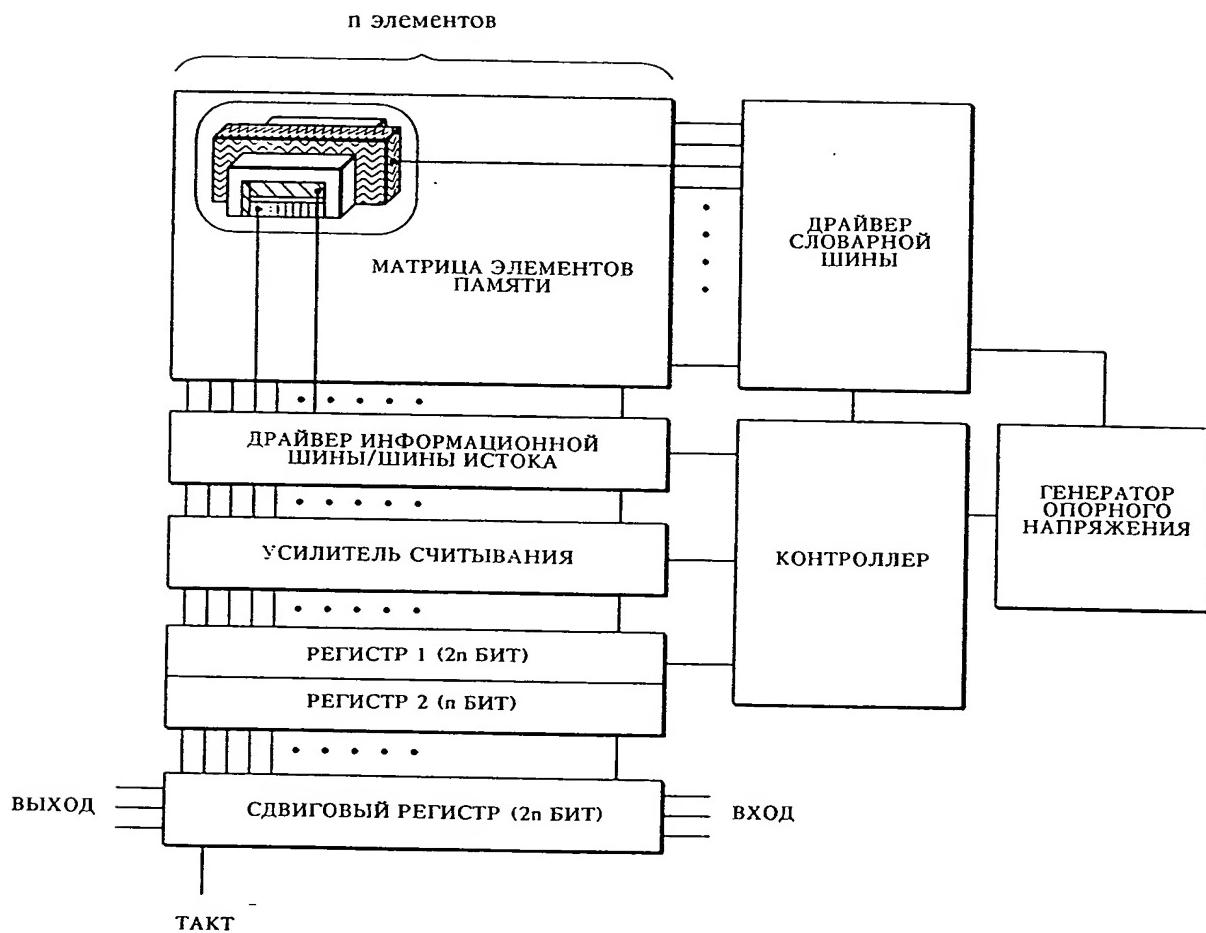
ФИГ. 40



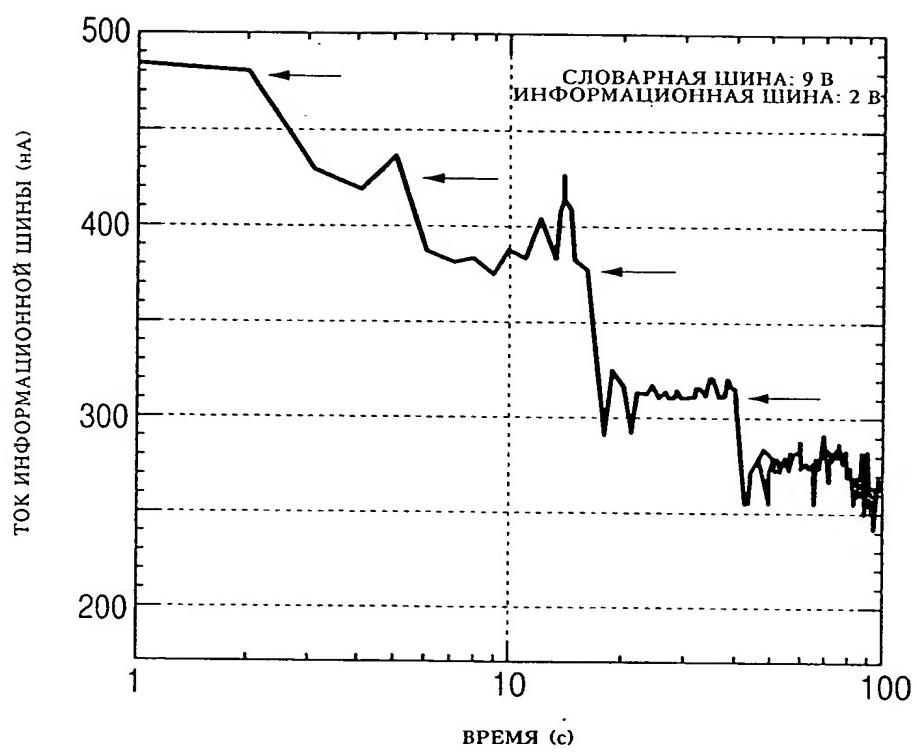
ФИГ. 41



ФИГ. 42



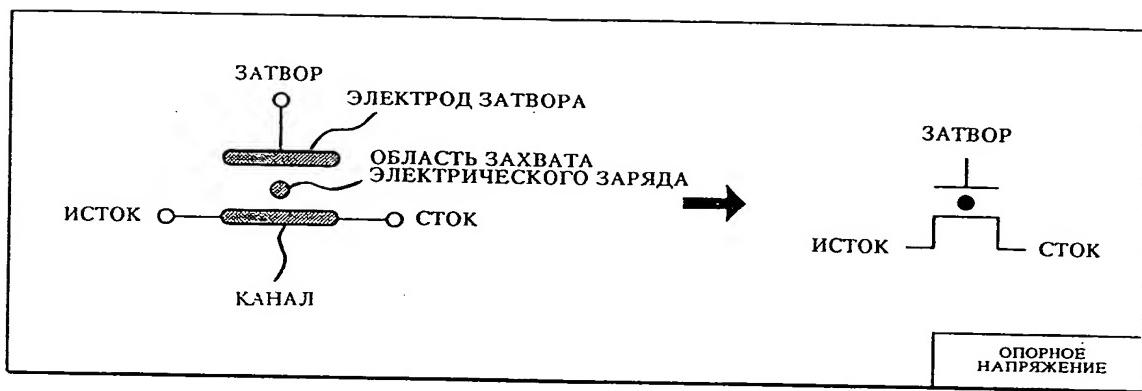
ФИГ. 43



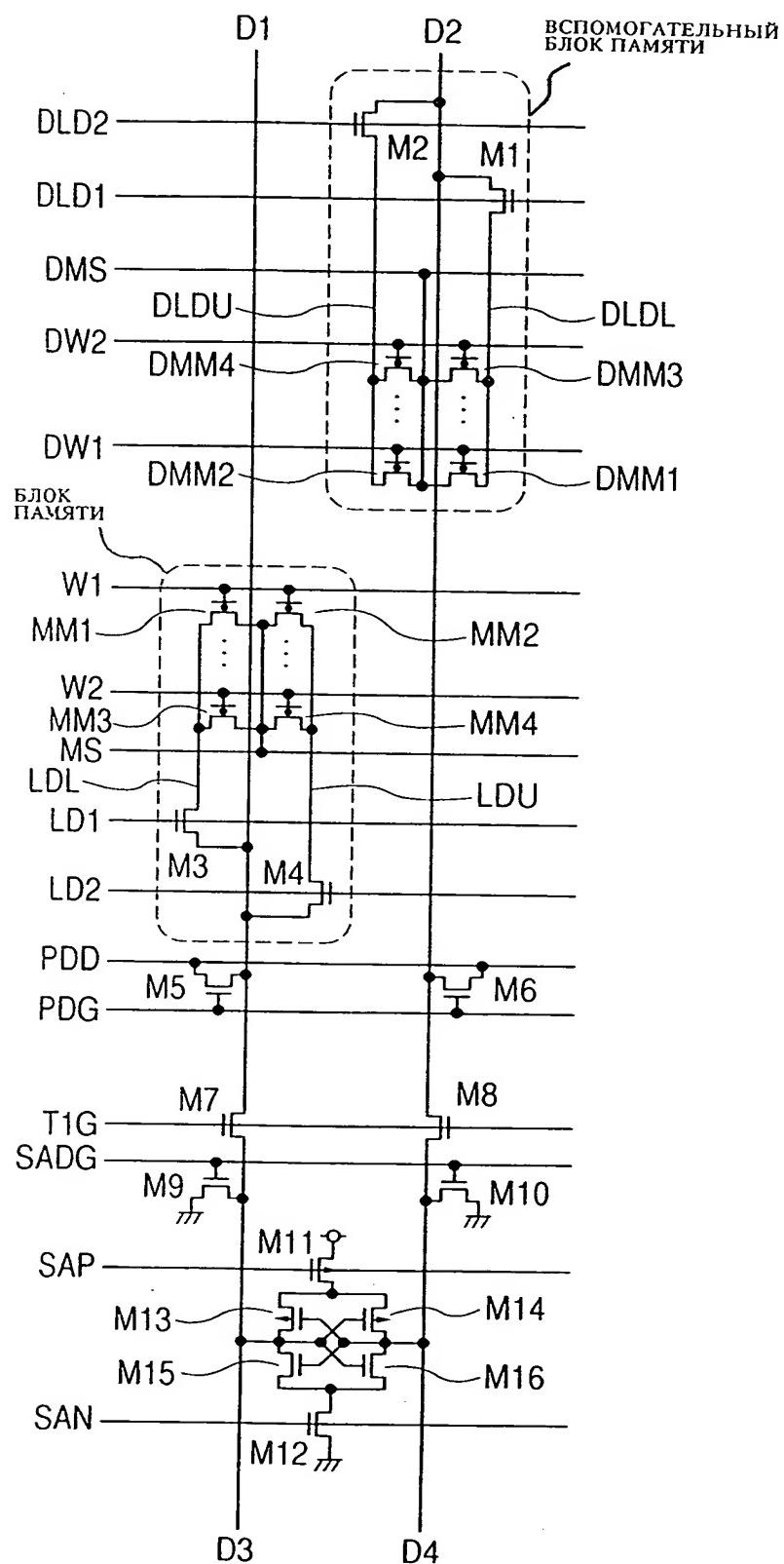
ФИГ. 44

ПОСЛЕДОВАТЕЛЬНОСТЬ ОБНОВЛЕНИЯ		
СЧИТЫВАНИЕ/ХРАНЕНИЕ	СТИРАНИЕ	ПРОГРАММИРОВАНИЕ
<p>ШАГ 1: ПРЕДВАРИТЕЛЬНЫЙ ЗАРЯД</p> <p>2.5V 0V 2.5V 0V 0V</p>	<p>ШАГ 4: ДО ЗАПИСИ</p> <p>0V 0V 0V 15V 0V</p>	<p>ШАГ 6: ВВОД ДАННЫХ</p> <p>0V 5V 5V 0V 0V</p> <p>РЕГИСТР = {0,1}</p>
<p>ШАГ 2: ЧТЕНИЕ/СЧИТЫВАНИЕ</p> <p>2.5V 0V 2.5V 2.5V 0V</p>	<p>ШАГ 5: СТИРАНИЕ</p> <p>0V 0V 0V -15V 0V</p>	<p>ШАГ 7: ПЕРЕПРОГРАММИРОВАНИЕ</p> <p>0V 5V 5V 15V 0V</p> <p>РЕГИСТР = {0,1}</p>
<p>ШАГ 3: ХРАНЕНИЕ ДАННЫХ</p> <pre> если(напряжение на информационной шине низкое) установить "1" в бит регистра иначе установить "0" в бит регистра конец если </pre> <p>РЕГИСТР = {0,1} (ДАННЫЕ В ЭЛЕМЕНТЕ 1 '1', ДАННЫЕ В ЭЛЕМЕНТЕ 2 '0')</p>		

ФИГ. 45



ФИГ. 46

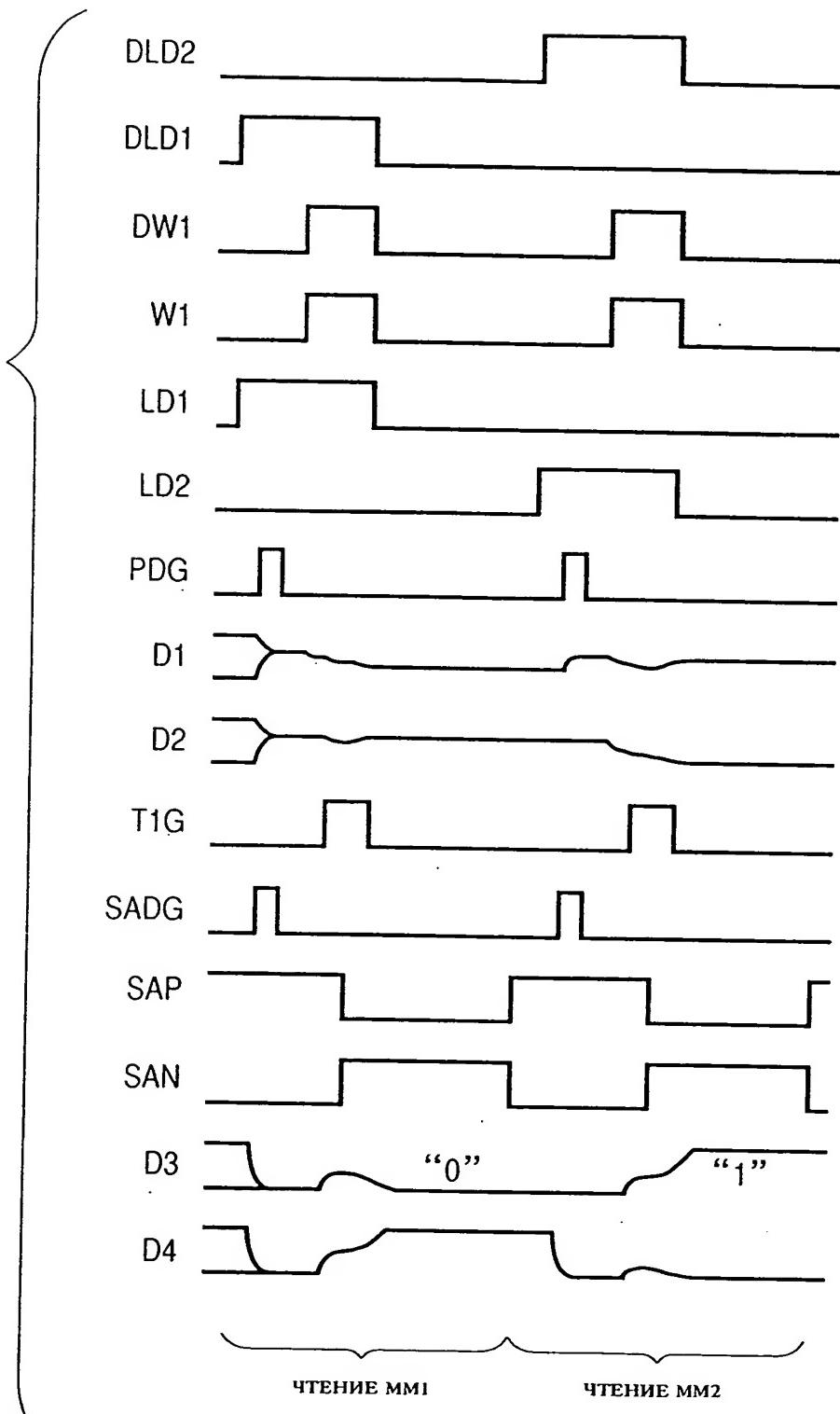


ФИГ. 47

	ЭЛЕМЕНТ ПАМЯТИ	ВСПОМОГАТЕЛЬНЫЙ ЭЛЕМЕНТ ПАМЯТИ
СЧИТЫВАНИЕ	<p>W1 2.5V</p> <p>MM1 MM2</p> <p>LDL 2.5V(F)</p> <p>MS 0V</p> <p>LDU (F)</p>	<p>DW1 2.5V</p> <p>DMM1 DMM2</p> <p>DLDL 2.5V(F)</p> <p>DMS 0V</p> <p>DLDU (F)</p>
		СЧИТЫВАНИЕ ММ1
СТИРАНИЕ	<p>W1 - 10V</p> <p>MM1 MM2</p> <p>LDL 5V</p> <p>MS 5V</p> <p>LDU 5V</p>	НЕ ИСПОЛЬЗУЕТСЯ
ПРОГРАММИРОВАНИЕ	<p>W1 15V</p> <p>MM1 MM2</p> <p>LDL 0V</p> <p>MS 5V</p> <p>LDU 5V</p>	НЕ ИСПОЛЬЗУЕТСЯ
	ММ1 БУДЕТ ХРАНИТЬ "1" ММ2 БУДЕТ ХРАНИТЬ "0"	

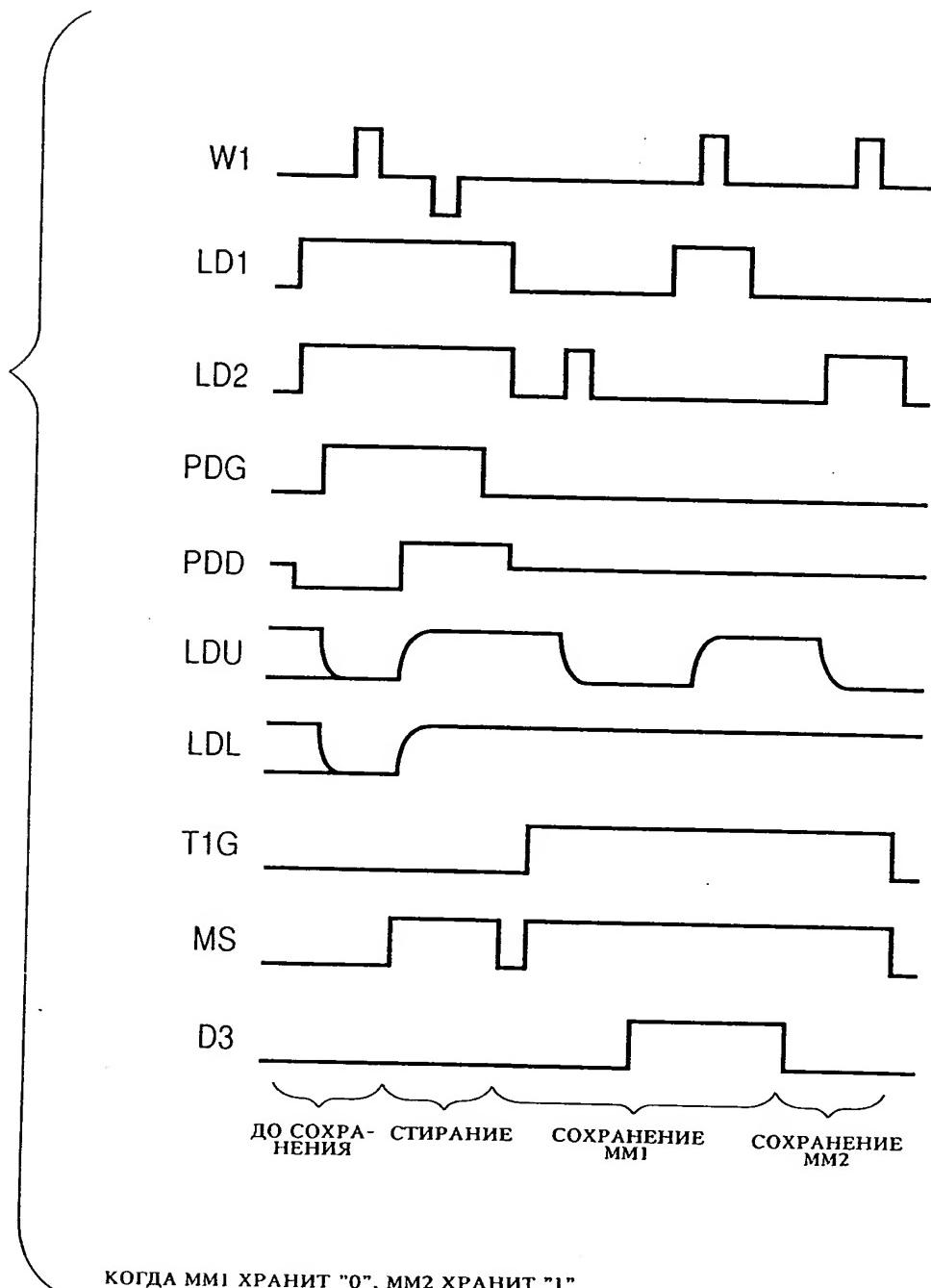
"F" ОЗНАЧАЕТ СМЕЩЕНИЕ

ФИГ. 48

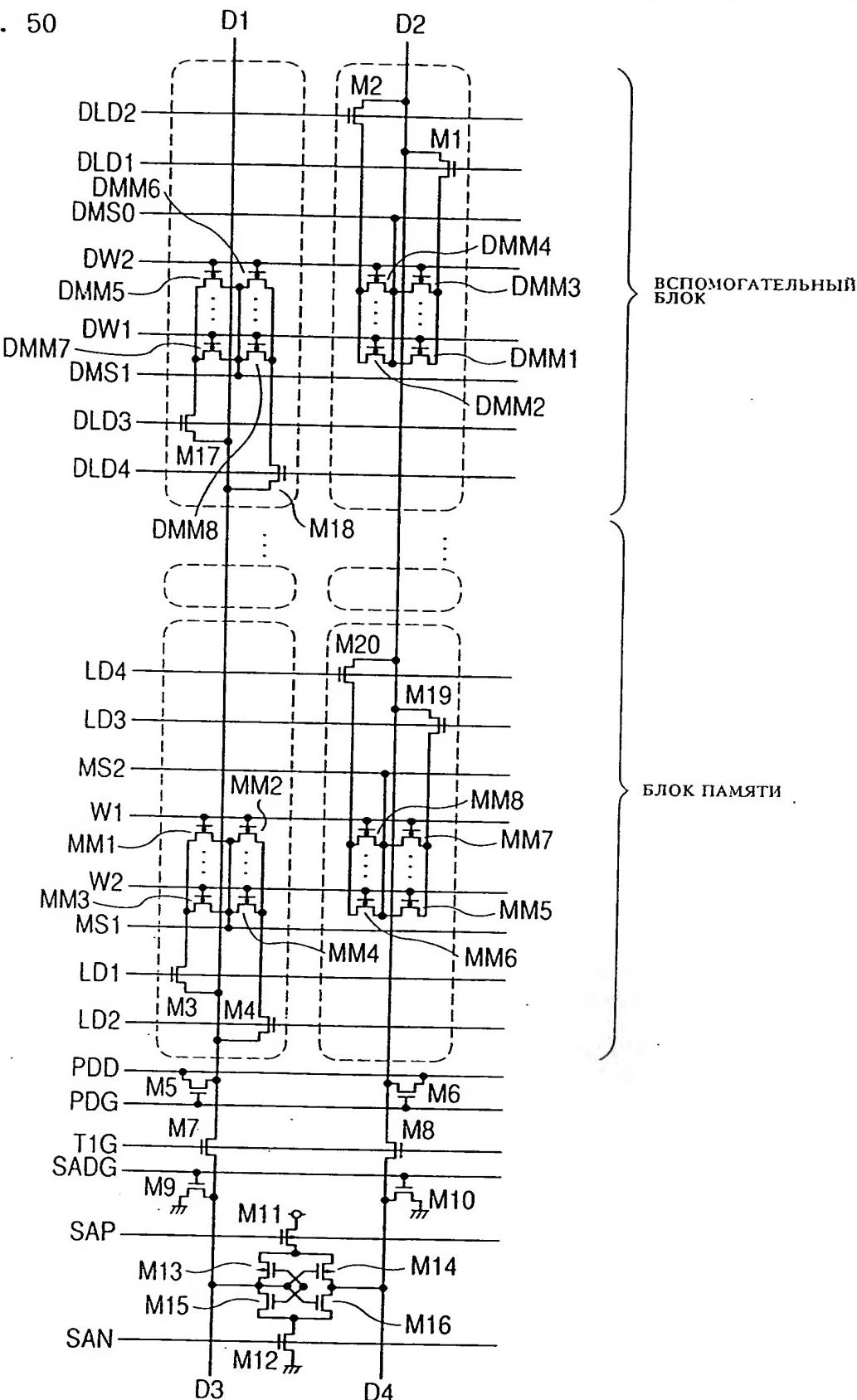


КОГДА ММ1 ХРАНИТ "0", ММ2 ХРАНИТ "1"

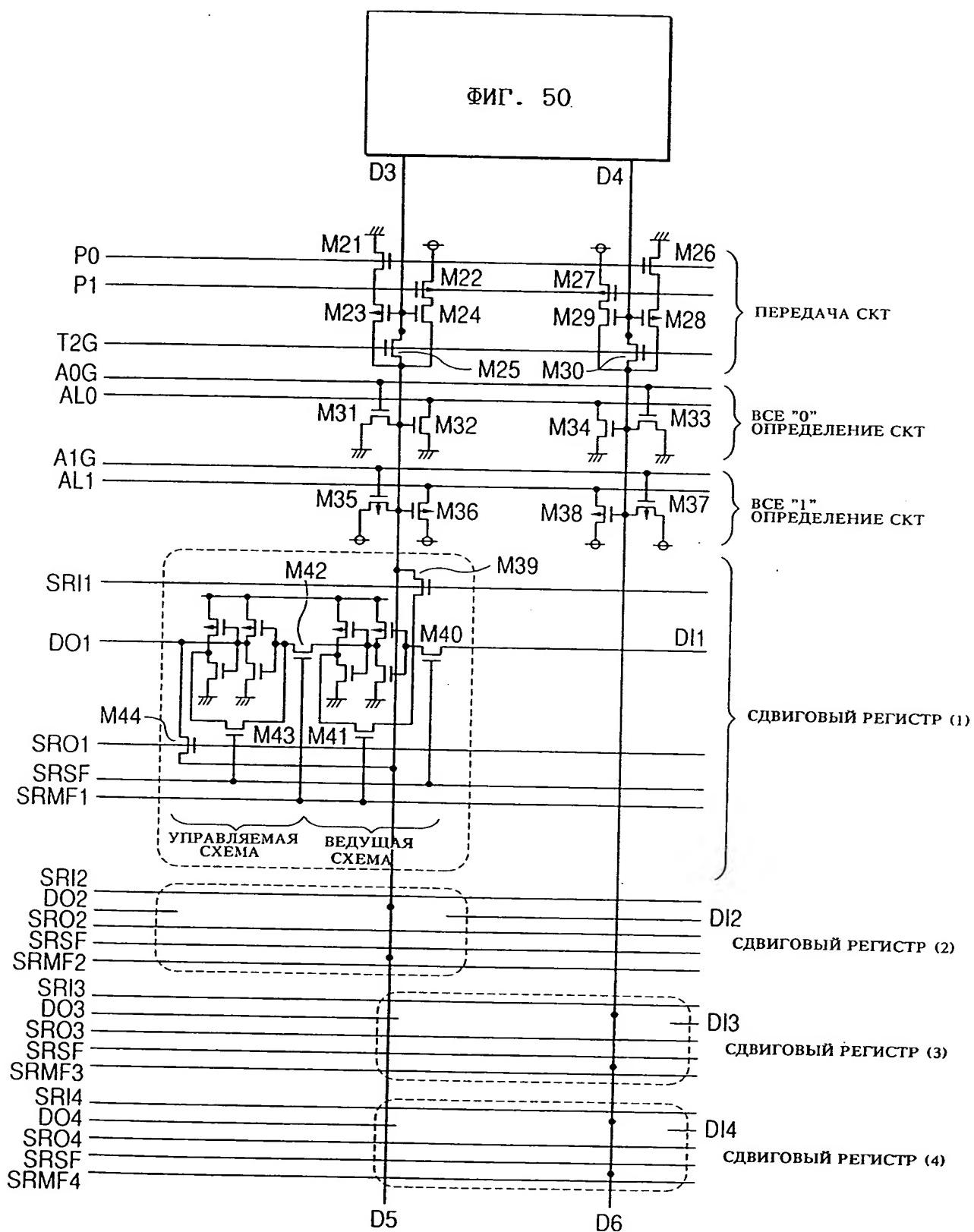
ФИГ. 49



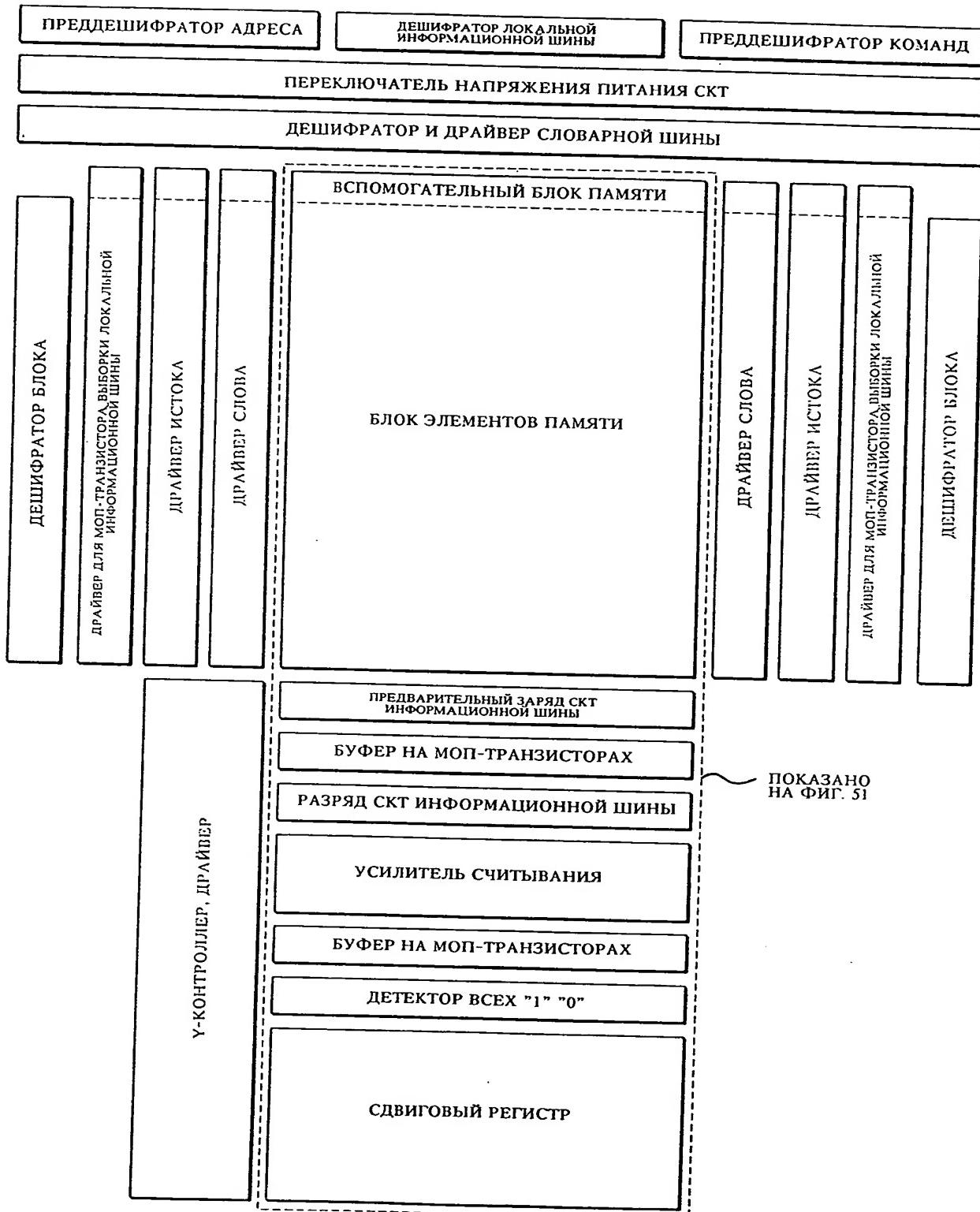
ФИГ. 50



ФИГ. 51



ФИГ. 52



ФИГ. 53

